

基于 JTAG 和 MD5 算法的 FPGA 远程升级可靠性设计

何 雯¹ 弓逮琦¹ 苟 辉²

HE Wen GONG Luqi GOU Hui

摘 要

近年来, FPGA (field programmable gate array) 芯片广泛应用于数据处理、智能家居等各行各业; 为了适应使用场景以及产品不断变化的功能需求, 要求能够实现 FPGA 固件的远程更新。从降低生产成本与满足产品设计需求的目的出发, 文章提出了一种 FPGA 远程升级系统设计架构, 能够在产品不离位的条件下, 利用 RS422 串口通信与 JTAG 接口实现 FPGA 固件的远程升级; 并且在系统中设计了消息摘要算法 5 校验模块, 确保升级数据的正确性与完整性。分别通过仿真验证与固件升级验证进行算法校验与固件远程升级的功能测试, 试验结果表明, 系统中设计的算法仅需 640 ns 完成 512 bit 数据的校验, 可有效保障升级数据的正确性与完整性校验; 通过固件升级验证试验证明了 FPGA 远程升级系统能够有效实现数据升级, 简化固件升级流程, 具有工程应用价值。

关键词

FPGA; 远程升级; JTAG; 数据校验; 消息摘要算法

doi: 10.3969/j.issn.1672-9528.2025.11.045

0 引言

随着电子技术领域不断发展, 现场可编程门阵列 (field programmable gate array, FPGA) 的运行速度、功耗、芯片体积等多方面均得到有效改善, 且并行处理架构使得其在智能家居、人工智能以及工业控制等众多领域得到广泛应用^[1]。因 90% 左右的 FPGA 芯片是基于 SRAM 工艺设计的, 掉电后无法存储编程信息, 因此需配有专用存储芯片, 上电时将专用存储芯片中的固件数据重新加载至 FPGA, 便可正常运转^[2]。在使用过程中需根据产品调试或者使用情况对 FPGA 固件进行升级优化; 传统的升级方法是产品开盖后通过 JTAG 接口使用专用下载器与软件完成升级, 这样既不便捷, 也增加了产品维护成本^[3]。

文献 [4] 采用 SPI 协议对 FPGA 进行固件远程升级, 微处理器模块通过 SPI 总线将数据发送至 FPGA, 然后通过 Avalon 接口进行数据传输完成升级。该设计架构需额外配置微处理器并结合专用 IP 核才能完成升级, 架构复杂, 且仅适用于特定厂商器件。文献 [5] 研究了如何利用 TCP 协议完成 FPGA 软件远程升级, 该方法是通过因特网进行升级数据的传输, 可能存在数据被窃取的风险。上述两种方案均未对升级数据进行校验, 无法保证数据的完整性与可靠性。为了降低产品维护成本、简化升级流程以及保证远程升级数据的可靠性, 本文将针对 FPGA 固件远程升级系统的设

计展开研究。

1 总体架构设计

FPGA 固件远程升级系统主要由 FPGA 最小系统、SRAM 数据校验模块、PROM 配置模块以及 RS422 串口通信模块等部分组成。上位机软件完成升级指令的发送与接收, 待升级数据的发送。RS422 通信模块实现 RS422 差分信号与单端信号间的转换, 看门狗模块用于监测 FPGA 工作状态并对其进行复位, NVSRAM 模块用于存储升级标志, SRAM 模块用于缓存升级数据, 晶振模块为 FPGA 提供工作时钟, 电源模块将 5 V 输入电源转换为 FPGA、SRAM、PROM 等芯片所需的工作电源; PROM 配置模块存储固件数据, 保存 FPGA 编程信息。

2 硬件原理设计

2.1 FPGA 配置接口设计

FPGA 为赛灵思公司基于 SRAM 设计的 XC4VLX25 芯片, XC4VLX25 芯片支持主串、从串以及主 SelectMAP 等 6 种加载模式, 通过设置 XC4VLX25 芯片的模式引脚 M[2:0] 状态可选择加载模式^[6]。本设计将模式引脚 M[2:0] 设置为“011”选择主 SelectMAP 模式进行 FPGA 的上电加载配置。

2.2 PROM 配置模块设计

XCF32P 芯片是一款存储容量达到 32 MB 大容量可编程 Platform Flash PROM, 能够提供 20 MHz 或 40 MHz 的配置时钟; 可以通过分区设计存储多个 FPGA 配置版本; 根据外部版本选择引脚 REV_SEL[1:0] 或内部版本控制位确定输出

1. 陕西航空电气有限责任公司 陕西西安 710000

2. 西安航空计算技术研究所 陕西西安 710000

设计版本，用于配置 FPGA。芯片的 EN_EXT_SEL 引脚输入信号决定如何选择设计版本，若系统需要由外部版本选择引脚进行版本输出控制，则向 EN_EXT_SEL 引脚输入低电平；若需内部版本选择控制位确定输出版本，则向其输入高电平^[7]。

针对需要切换不同工作模式的 FPGA 应用来说，在设计中可以根据需要选择不同的配置版本，提高了系统灵活性和可靠性。FPGA 的 I/O 引脚模拟 JTAG 接口对 XCF32P 芯片进行在线编程。对 EN_EXT_SEL 引脚进行上拉处理，由内部版本选择控制位确定输出的设计版本。

3 FPGA 逻辑设计

FPGA 固件远程升级逻辑由时钟模块、串口模块、应答模块、校验模块、升级模块以及心跳模块构成。为保障 FPGA 固件升级数据的准确性与完整性，校验模块拟采用 MD5 算法对升级数据进行校验。各模块功能主要如下：

- (1) 时钟模块：为其他模块提供时钟。
- (2) 串口模块：实现异步串口通信协议，完成串口数据的发送与接收。
- (3) 心跳模块：输出 FPGA 心跳信号，完成周期喂狗操作；若 FPGA 工作异常，未能周期喂狗，狗叫信号将触发看门狗模块输出复位信号，对 FPGA 进行复位操作。
- (4) 升级模块：完成 PROM 模块 XCF32P 芯片的数据区擦除、升级数据的写入以及版本切换功能。
- (5) 应答模块：完成指令解析、标志确认、状态反馈与数据处理。
- (6) 校验模块：实现 MD5 校验算法，校验升级数据的完整性与正确性。

基于 JTAG 接口的 FPGA 远程升级流程如下：

- (1) 上电后，完成参数初始化，设置通信波特率为 256 000 bit/s，偶校验；
- (2) 上位机发送升级准备指令，若 FPGA 判断指令正确，利用 IO 引脚模拟 JTAG 对 PROM 执行读 ID 以及擦除操作，结束后向上位机反馈结果；
- (3) 若擦除成功，FPGA 接收升级数据；
- (4) 完成接收后，进行数据校验，若升级数据通过 MD5 校验，FPGA 将其写入 PROM 模块指定区域；
- (5) 完成数据编程后进行 PROM 寄存器配置，结束后上位机反馈编程结果；
- (6) 系统重新上电后正常加载升级后的固件数据，即实现此次固件升级。

3.1 升级模块逻辑设计

升级模块由 PROM 控制模块与 JTAG 模块，PROM 控制模块主要是根据指令完成 PROM 配置模块的读 ID、擦除、

编程等操作；JTAG 模块是实现 TAP 状态机，完成 PROM 配置模块的数据读取与写入操作。

3.1.1 PROM 控制模块设计

系统上电后，首先通过设置 PROM 模块的 SET 寄存器完成 PROM 模块的版本选择，加载方式与时钟以及是否进行数据压缩等功能的设置。然后发送读 ID，擦除或者编程指令，等待指令执行完成（jtag_done 变高），根据 jtag_ok（0 表示执行有误，1 表示执行成功）状态判断命令执行结果，命令执行完成之前不接受新的命令。

FPGA 实现 PROM 模块编程^[8-9]的流程如下：

- (1) 发送 ISC_ENABLE（0x00E8）指令，使能 PROM 模块。
- (2) 发送 ISC_DATA_SHIFT（0x00ED）指令，输入 256 bit 数据至 PROM 缓冲区。
- (3) 判断编程地址：若 paddr[19:0] 为 28，输入 ISC_ADDRESS_SHIFT（0x00EB）指令与起地址；若 paddr[4:0] 为 28，输入 ISC_PROGRAM（0x00EA）指令，将 256 bit 数据编程至指定地址。
- (4) 完成所有数据编程后，根据 SET 参数配置相关寄存器并退出 ISC 模式。

3.1.2 JTAG 模块设计

JTAG 接口主要是基于测试访问端口（TAP）的状态机，完成 JTAG 接口与 PROM 模块的数据传输^[10]；FPGA 模拟 TAP 状态机移动实现的部分 Verilog 代码如下：

```
case(state)
5'd8: begin jtag_tms<= 1'b1; jtag_tdi<= 1'b0; end
5'd9: begin jtag_tms<= 1'b1; jtag_tdi<= 1'b0; end
5'd10: begin jtag_tms<= 1'b0; jtag_tdi<= 1'b0; end
5'd11: begin jtag_tms<= 1'b0; jtag_tdi<= 1'b0;
        wdata<= data_in; data_rd<= 1'b1;
        data_out<= 8'd0; bits_cnt<= 16'd0; end
5'd12: begin if(bits_cnt == ctrl_bits) jtag_tms<= 1'b1;
else      jtag_tms<= 1'b0;
        jtag_tdi<= wdata[0]; wdata<= {wdata[0],wdata[31:1]};
        data_out<= {jtag_tdo[0],data_out[7:1]};
        if(bits_cnt < ctrl_bits) begin state <= state;
        bits_cnt<= bits_cnt + 16'd1; end
        if(bits_cnt[4:0] == 5'h1F) begin wdata<= data_in;
        data_rd<= 1'b1; end
        if((bits_cnt != 16'd0) & (bits_cnt[2:0] == 3'h0))
        begin data_wr <= 1'b1; end end
```

4 MD5 算法设计

消息摘要算法 5（message-digest algorithm 5, MD5）能够对 2^{64} bit 以内数据进行处理，产生出一个 16 字节的散列值，

表 2 仿真验证结果数据表

序	链接变量
第一组数据	a_o = 32'h031f1dac; b_o= 32'h6ea58ed0; c_o = 32'h1fab67b7; d_o= 32'h74317791
第二组数据	a_o = 32'hb1fe347b; b_o= 32'hcc3ba863; c_o = 32'h37876a29; d_o= 32'h507fcc6b
第三组数据	a_o = 32'hd7d40ac2; b_o= 32'h5977e96f; c_o = 32'hc9a027aa; d_o= 32'h1067ff9b
第四组数据	a_o = 32'hd267d7b6; b_o= 32'h215dedf8; c_o = 32'h580e4ba4; d_o= 32'hb90c6886
第五组数据	a_o = 32'h529b2ab3; b_o= 32'hb54edd2a; c_o = 32'hebf455db; d_o= 32'h27936c9f

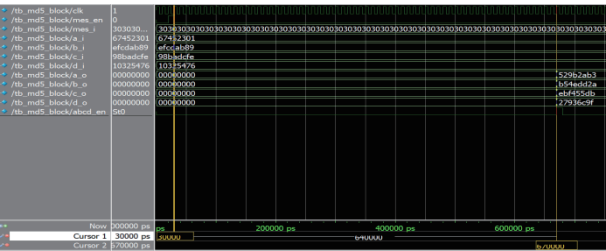
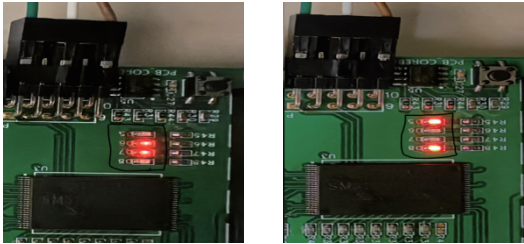


图 3 部分仿真结果图

5.2 固件升级验证

本文拟采取通过控制 FPGA 固件远程升级系统的 4 个 LED 进行固件升级验证,0 代表灯灭,1 代表灯亮。升级验证前,烧录初始 FPGA 固件,将 LED 状态设置为“0110”;待升级固件控制的 LED 状态设置为“1001”。

烧录初始 FPGA 固件后系统上电,可观察到 LED 状态为“0110”,如图 4(a)左所示。然后向系统发送升级指令,接收到擦除成功指令后,进行固件升级,上位机显示完成升级后系统重新上下电,可观察到 LED 状态变为“1001”,如图 4(b)所示。



(a) 升级前 LED 状态图 (b) 升级后 LED 状态图

图 4 固件升级验证图

6 总结

本文在研究现有 FPGA 固件远程升级架构的基础上,针对其不足之处,研究了基于 JTAG 接口与 MD5 算法的固件升级系统;采用 FPGA 的普通 IO 引脚模拟 JTAG 接口对

PROM 配置模块进行编程,将升级数据编程至指定数据区,实现 FPGA 远程升级。本架构与原有通过 MCU 模块实现 FPGA 远程升级设计相比,系统架构更简洁,有效简化了硬件原理;而且无需使用专用 IP 核也能够实现远程升级的目的,能够规避厂商 IP 核应用限制;而且设计中加入了 MD5 校验模块,对升级数据进行 MD5 码校验,确保了远程升级的可靠性。

通过实验测试了升级系统的可靠性与有效性,根据实验结果可知其能够有效进行数据校验,且有效完成了 FPGA 固件远程升级;可将该设计架构推广至实际工程应用中,能够有效简化升级流程,降低生产成本,为 FPGA 产品的远程升级架构提供了新的设计思路。

参考文献:

[1] 焦李成,孙其功,杨育婷,等.深度神经网络 FPGA 设计进展、实现与展望[J].计算机学报,2022,45(3):441-471.

[2] 齐文静.SRAM 型 FPGA 互联资源测试方法设计与实现[D].成都:电子科技大学,2024.

[3] 李霄,徐思远,胡瑾贤.基于 FPGA 的远程快速在线升级技术研究[J].舰船电子对抗,2023,46(4):98-102.

[4] 郑自菲,张强,孔永强,等.一种基于 SPI 的 FPGA 远程升级方法:CN111414182[P].2023-09-19.

[5] 徐启威,董洪岭,杨建超,等.基于 TCP 协议的 FPGA 远程升级系统:CN11198704[P].2020-05-26.

[6] 覃文键.FPGA 远程配置系统的设计与实现[D].哈尔滨:哈尔滨工业大学,2020.

[7] 官剑,钱雪磊,韩留军,等.基于以太网的 FPGA 远程调试系统设计[J].电子技术应用,2023,49(2):115-120.

[8] 闫双山,胡学龙,季静,等.串口更新 FPGA 配置文件的一种实现方法[J].国外电子测量技术,2019,38(10):79-83.

[9] 康志杰.基于以太网的 FPGA 远程升级可靠性设计[J].计算机与网络,2020,46(8):61-64.

[10] 邓怡兴,傅佳烨,胡中泽.MCU 模拟 JTAG 的 FPGA 在线升级设计[J].集成电路与嵌入式系统,2024,24(6):71-76.

【作者简介】

何雯(1992—),女,陕西西安人,硕士,工程师,研究方向:嵌入式系统设计。

弓逯琦(1991—),男,陕西咸阳人,硕士,高级工程师,研究方向:航空电气系统设计。

苟辉(1992—),男,陕西咸阳人,硕士,工程师,研究方向:工艺技术。

(收稿日期:2025-05-22 修回日期:2025-11-13)