

一种基于 RapidIO 总线的机载多通道数据处理模块设计

杨舟¹ 王煦¹ 朱宇¹

YANG Zhou WANG Xu ZHU Yu

摘要

针对机载综合化通信系统中在多任务、多节点和多网络工况下对高效数据收发和数据处理的迫切需求，文章构建了基于 4 片 P2020 处理器的核心架构，采用对称式硬件布局和面向服务的软件设计模式，运用 RapidIO 总线技术设计了一种多通道数据处理模块，旨在优化数据流路由，确保信息传输高效性和资源调度灵活性，并且详细介绍了模块的架构拓扑，软件、硬件设计以及接口实现。试验验证表明，该模块计算实时性强，运行可靠性高，系统适配性强，能够在数据处理通道上实现功能软件的动态重构和机动部署，对同类产品的开发具有良好的指导和借鉴意义。

关键词

数据处理；P2020 处理器；RapidIO 总线；软件服务化；机载平台

doi: 10.3969/j.issn.1672-9528.2025.11.040

0 引言

综合化架构下，机载通信系统的硬件集成度和软件复杂度显著提升，这一转变使得数据处理功能从处理特定数据的单一性功能发展成集多种链路处理和资源调度管理于一体的综合性功能^[1]。在这一过程中，数据处理平台既需要有效整合并处理系统内由 DSP、FPGA、CPU 和 SOPC 等不同功能单元交互形成的信息流，又要严格遵循机载平台对硬件体积、功耗和热耗的限制，同时还要确保软、硬件运行的可靠性和安全性^[2]。显然，单纯依赖单个处理器的性能已经无法满足整个综合化通信系统对数据处理能力提升的需求。另一方面，RapidIO 总线作为一种基于数据包交换的高性能总线互联技术，因其高可靠、低延迟，少引脚、拓扑灵活等优势，在航空电子领域中得到了广泛应用，可以支持芯片级和板卡间高效通信^[3]。在此背景下，本文介绍了一种基于 RapidIO 总线和 P2020 处理器的四通道数据处理模块设计，实现了在嵌入式异构平台下的高效数据处理^[4]。

1 总体设计思路

数据处理模块原理框图如图 1 所示，以 RapidIO 总线作为业务主总线构建核心网络架构、用于完成系统内的信息处理和数据传输；以千兆以太网作为备份和调试总线、用于加强系统的冗余安全性和调试便利性；以 CAN 总线作为维护总线，完成模块内部的健康信息收集和状态查询上报等功能，从而实现模块级的健康管理。整个模块可以划分为 P2020 处理单元、FPGA 管理单元、RapidIO 交换单元、以太网交换单元、电源单元和时钟单元等关键功能单元。具体而言，4

个 P2020 处理单元采用对称设计，通过 RapidIO 总线互联形成 4 个数据处理通道，这一设计不仅支持系统数据的并行收发与灵活路由，还为功能业务在不同通道上的部署提供了通用资源平台，便于软件的分型化开发，同时也为关键功能提供了热备份机制，显著提高了系统的运行可靠性。FPGA 管理单元则负责管理整板的上电复位时序和对外的低速接口扩展。各处理单元可通过 localBus 接口与 FPGA 管理单元相连，实现低速数据的收发操作，同时，FPGA 管理单元也负责采集整版的 BIT 信息，并通过 CAN 总线进行上报。RapidIO 交换单元和以太网交换单元则是模块网络路由的核心组成，分别实现了 RapidIO 网络和千兆以太网的信息交换和端口扩展。电源单元和时钟单元为模块运行提供必需的电压转换和时钟分发。

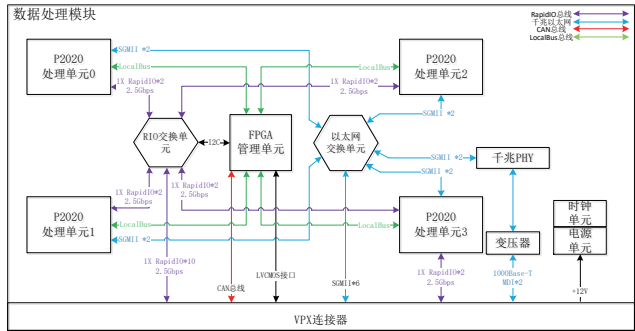


图 1 模块原理框图

2 硬件设计

2.1 P2020 处理单元设计

P2020 处理单元以 P2020 处理器最小系统构成，原理框图如图 2 所示。P2020 处理器是由 NXP 公司研发的 QorIQ 系

1. 中国西南电子技术研究所 四川成都 610036

列旗舰产品,该芯片基于 PowerPC 架构,内部集成了 2 个 e500V2 高性能处理核心,主频最高可达 1.2 GHz,具有体积小、功耗低、接口丰富、配置灵活等特点^[5]。通过设置 P2020 处理器的配置字 RCW,将 SerDes 高速接口配置为 2 路对外 1X RapidIO 接口,速率 2.5 Gbit/s,通过内部集成的 eTSEC 控制器实现对外 SGMII 以太网接口的控制,通过芯片内部集成的增强型局部总线控制器实现 1 组 16 位位宽的 localBus 总线接口,用于低速接口数据收发;每个处理单元外挂 5 片 DDR3 芯片构成容量 2 GB 且支持 ECC 纠错的运存空间,外挂 2 片 NORFLASH 构成 128 MB 容量的程序存储空间,并通过 RS232 接口芯片引出调试串口。P2020 处理单元 0 还可以通过 I2C 接口和 MDIO 接口分别对 RapidIO 交换单元和以太网交换单元进行参数配置。

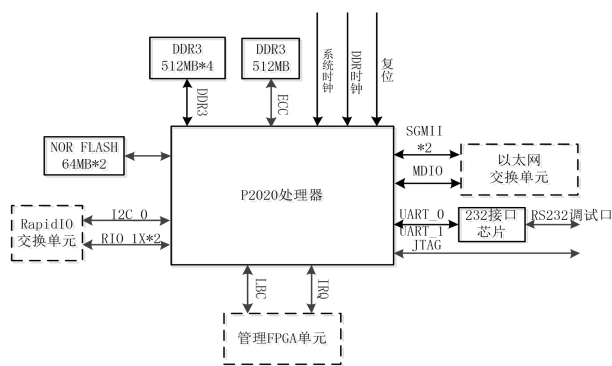


图 2 P2020 处理单元原理框图

2.2 FPGA 管理单元设计

FPGA 管理单元原理框图如图 3 所示, FPGA 芯片选用 Xilinx 公司研发的 Kintex-7 系列产品 XC7K325T-2FFG900I, 该型 FPGA 除了丰富的 IO 资源和逻辑资源外,还支持 MicroBlaze 内核,可以通过嵌入式编程进一步提升功能延展性。

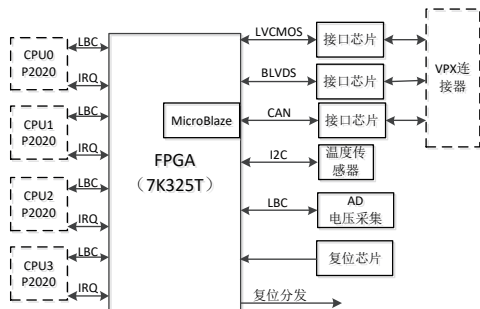


图 3 FPGA 管理单元原理框图

FPGA 由外部复位芯片提供上电总复位,随后分发独立复位信号给到 P2020 处理单元, RapidIO 交换单元和以太网交换单元等。IO 管脚对内连接到 4 片 P2020 处理器的 localBus 和 IRQ 中断接口上,对外则通过接口芯片连出到 VPX 连接器,以实现 LVCMOS 接口、BLVDS 接口和 CAN 总线维护接口的物理链路扩展。通过逻辑编程, LVCMOS 接

口可以实现 UART 串口通信和离散线控制, BLVDS 接口可以对系统下发时间进行有效性判断,并在解析时间信息后通过中断上报各个 P2020 处理单元,从而完成系统时间同步。同时 localBus 接口的读、写时序也在逻辑端进行了适配,从而使得 P2020 处理器能够通过各类低速接口进行数据收发。

另一方面,作为整板的健康管理核心, FPGA 还通过外接 AD 采集电路获取板上的各级供电电压,外接温度传感器芯片采集核心高热器件温度, 4 个 P2020 处理单元也可以通过 localBus 接口将最小系统内部各个组成部分的运行状态信息发送到 FPGA, FPGA 通过 MicroBlaze 内核编程最终将所有健康信息收集汇总并按接口控制文件和 CAN 总线协议要求进行组帧和上报。

2.3 RapidIO 交换单元设计

RapidIO 交换单元选用 IDT 公司研发的高性能交换芯片 CPS1848,该芯片支持 RapidIO2.1 规范,具备 18 个 port 端口、48 个双向 Lane 通道,可灵活配置为 1X、2X 和 4X 模式,并支持 1.25、2.5、3.125、5、6.25 Gbit/s 共 5 种速率配置,最高可提供 240 Gbit/s 的数据吞吐量和无阻塞全双工交换能力。交换芯片对内分别引出 2 路 1X 端口连接到 4 个 P2020 处理单元,对外则引出 10 路 1X 端口,形成共计 18 路 RapidIO 数据交换端口。系统启动后, RapidIO 网络管理端可通过维护包访问交换芯片各端口并统一进行初始化,以确保配置和状态的稳定。

2.4 以太网交换单元设计

以太网交换单元选用 BROADCOM 公司研发的 BCM5396 交换芯片,该芯片具备 16 口的千兆以太网交换功能。每个 P2020 处理单元引出 2 路 SGMII 接口分别作为备份以太网和调试以太网接入交换芯片,每路接口的 IP 和 MAC 可以根据内部 MARK 识别信号进行区分和配置,此外通过交换芯片对外还引出 6 路 SGMII 接口连接到背板连接器,用于其他系统内设备的网络接入,另有 2 路 SGMII 接口通过 PHY 和网络变压器转换为 MDI 网口,并最终通过 RJ-45 连接器引出,可便于通过 PC 机直接访问网络中的各个端口。提升调试的便利性。

2.5 电源设计

图 4 为模块电源单元设计框图,外部采用 12 V 电源输入供电,电源单元主要由电源预处理电路和电源转换电路构成。预处理电路选用 EMI 滤波器抑制辐射干扰;选用专用电源保护芯片实现电源的过流保护、过压保护和短路保护功能;模块后端共需要 1.0、1.05、1.2、1.5、1.8、2.5、3.3、5.0 V 共 8 种电源电压,且将 4 个 P2020 处理器单元划分为 2 个独立的供电区域进行两两独立供电,避免因单路电源故障导致

4 个处理通道同时失效。综上,选用 Linear 公司的 46 系列 DC/DC 芯片 LTM4630 和 LTM4644 进行搭配,共同实现模块内的二级电压转换,两种芯片均具备过热保护和缓启动保护功能,支持 10~14 V 范围的电压输入,其中 LTM4630 可提供 2 路 18 A 的负载驱动能力,可用于提供 P2020 处理器的 1.05 V 核压,LTM4644 可提供 4 路 4 A 的独立输出,也可以灵活并联使用以增强带载能力,支持 0.6~5.5 V 电压输出,能够覆盖模块上的其他供电需求。通过将电源芯片的前级 PGOOD 引脚级联到下一级的 RUN 引脚,实现整板的电源上电时序控制。

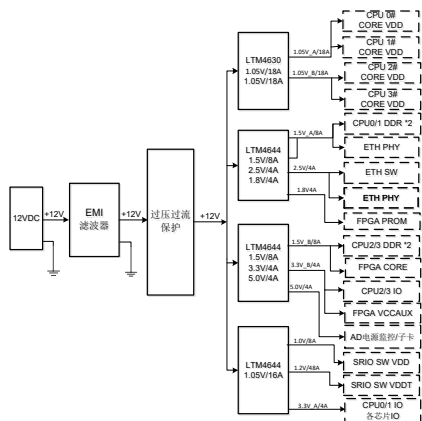


图 4 电源单元设计框图

2.6 时钟设计

模块时钟单元拓扑设计框图如图 5 所示,P2020 处理器、FPGA,RIO 交换芯片,以太网交换芯片等芯片共计需要 4 路 25 MHz、9 路 100 MHz、4 路 125 MHz 和 1 路 156.25 MHz 时钟。其中 25 MHz,100 MHz 和 125 MHz 均可以通过 1 片基准晶振和 1 片时钟驱动芯片组合的方式实现多路时钟输出,这样可有效减少晶振的使用数量,有助于优化整板的电磁兼容特性。

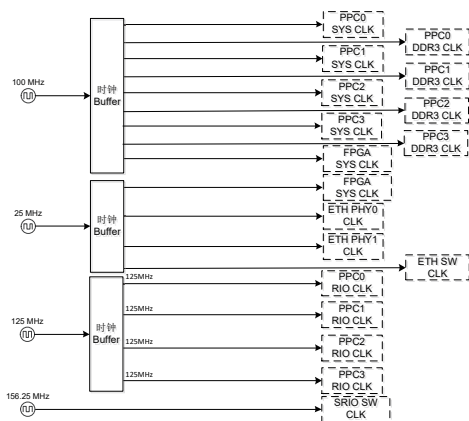


图 5 时钟单元设计框图

3 结构与热设计

数据梳理模块采用标准 VITA 架构,模块主体尺寸为

233.4 mm×160.0 mm×24.0 mm,预计重量不超过 1.5 kg,功耗不超过 50 W。模块对外采用基于免焊压配结构的新一代 VPX 连接器,该连接器可以通过模块化组合实现差分、电源、低频、光电、射频等多种信号的集成化传输,差分端可支持最高 6.25 Gbit/s 传输速率。

该型系统采用液冷传导散热,常温工况下,模块稳态功耗为 38.7 W,高温 70 °C 工况下,模块稳态功耗为 45.1 W,P2020 单元中最高温度为 93.2 °C,低于器件 105 °C 的上限要求,其他器件也都低于许用结温,可以正常工作。

4 软件设计

数据处理模块的功能软件部署在 P2020 处理单元上,采用航空工业 631 所研发的天脉 3 机载嵌入式操作系统进行软件开发,该操作系统具有实时性强,可靠性高,可多任务调度等特点,采用 AMP 工作模式,可在处理器上独立加载多个功能 APP,且该模式对事件处理不依赖于特定核心,灵活性更高^[6]。整个软件基于服务化思想进行分层设计,软件分层架构示意图如图 6 所示。

底层软件层包括操作系统运行所需的支持包软件、操作系统、驱动程序、处理器及其外设的配置等,是软件运行的基础环境层。

中间框架层主要由通用框架平台组件组成,该组件实现了对 RapidIO 功能的通用接口管理、统一了对上层应用和底层总线交互的软件接口,从而将硬件资源和软件功能进行了解耦,极大提升了应用程序开发的通用性和灵活性。

应用层则按照平台组件提供的统一接口要求进行开发,包含了通信链相关的各类数据处理和数据管理软件。根据机载综合化通信系统对 4 个通道资源的运行配置,平台组件可以实时响应 RapidIO 网络管理端下发的构建指令以完成对功能程序的加载构建,此时通道上既可以并行运行不同的处理功能,也可以通过数据同步实现重要功能的热备份,提高软件运行的可靠性。同时,当某个软件功能故障或通道异常下线时,平台组件也可以在故障通道解构当前正在运行的功能并且重构到空闲或者低优先级的通道上,从而保证关键功能的持续运行。

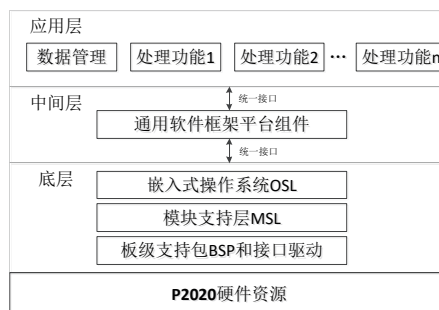


图 6 软件分层架构示意图

5 应用验证

图 7 为数据处理模块实物图，单板回环测试和系统使用验证表明，该模块的 RapidIO 总线能够稳定运行于 1X 2.5 Gbit/s 模式，4 个处理通道可以以最高 200 Mbit/s 的速率进行数据收发和数据处理。备份千兆以太网网络、维护 CAN 总线、BLVDS 和 LVCMOS 低速接口均能够稳定运行。

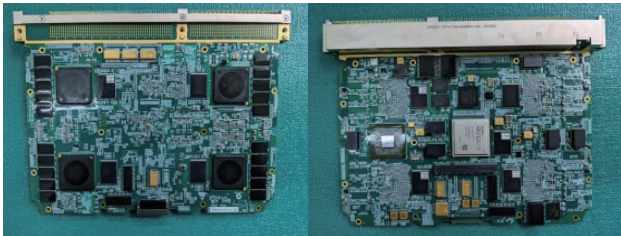


图 7 模块实物图（正面 / 反面）

通过上位机管理监控软件，可以实时查询 4 个数据处理通道的上、下线状态（如图 8 所示）。下线的通道会被屏蔽于 RapidIO 网络之外，防止对系统产生异常影响。在正常上线的通道上则可以进行功能的动态装配和解构，实现通道资源的灵活配置管理。

12	数字处理通道0(RIO)	上线	DPPPC0	MLM	正常	解构	NA	装配
13	数字处理通道1(RIO)	上线	DPPPC1	健康管理	正常	解构	NA	装配
14	数字处理通道2(RIO)	上线	DPPPC2	NA	未构建	解构	NA	装配
15	数字处理通道3(RIO)	上线	DPPPC3	NA	未构建	解构	NA	装配

图 8 通道状态显示和功能构建显示

此外，数据处理模块也可以通过上位机软件查询供电区域电压、核心器件温度、P2020 处理单元工作状态、B 码有效性等 BIT 信息，用于模块的状态监控和故障诊断^[7]，查询结果如图 9 所示，当 BIT 结果上报异常时，数据处理模块向系统控制管理端上报故障事件，管理端则根据上报结果和实际运行状态综合判定此次故障的影响程度并做出相应的状态切换。

DP 周期BIT结果上报					
模块逻辑ID DP		模块BIT结果 正常			DP 周期测试项数目 13
	DP测试项编号	测试类型	测试状态	测试数据	测试数据值
1	供电区域1电压测试	测试状态+滤波结果+测试数据	正常	0	14
2	供电区域2电压测试	测试状态+滤波结果+测试数据	正常	0	15
3	PPC温度	测试状态+测试数据	正常	0	450
4	SRIO芯片温度	测试状态+测试数据	正常	0	500
5	FPGA温度	测试状态+测试数据	正常	0	470
6	SRIO芯片测试	测试状态	正常	0	0
7	FPGA测试	测试状态	正常	0	0
8	PPC0测试	测试状态	正常	0	0
9	PPC1测试	测试状态	正常	0	0
10	PPC2测试	测试状态	正常	0	0
11	PPC3测试	测试状态	正常	0	0
12	以太网交换芯片状态	测试状态	正常	0	0
13	B 码有效性检测	测试状态+测试数据	正常	0	0

图 9 模块健康信息上报

电子标签查询结果如图 10 所示，标签可以直观显示模块的出厂信息，上电次数、工作时间、当前运行软件配置项的名称和版本号等，便于进行硬件状态管理。

模块电子标签信息回传	
生产厂家 电科10所	出厂时间 20250108
生产序列号	版本号 010000
年 24	模块上电次数 174
批次 01	累计工作时间 200520
序号 0007	无故障工作时间 200520
	软件构件数量 5

图 10 模块电子标签查询

6 结论

本文以机载综合化通信系统为背景，设计了一种基于 P2020 处理器的 4 通道数据处理模块，该模块在 RapidIO 总线网络下实现了对多节点、高带宽业务数据流的实时高效处理和综合管理，同时达成了硬件平台的小型化，通道资源的通用化，功能部署的重构化和状态监控的可视化，极大提升了系统性能和用户体验。目前，该模块已在某型机中得到了成功部署和试飞测试，结果显示该模块运行稳定可靠，为机载数据处理平台提供了一种有效设计方案。后续将聚焦于 RapidIO 总线带宽容量的进一步提升和模块的国产化设计验证工作。

参考文献：

[1] 向习莲. 面向网络中心战的多链管理技术 [J]. 电子技术, 2022, 51(4): 58-60.

[2] 李晓蕊, 李金山, 李健一. 一种 Power PC 数据处理模块设计 [J]. 电脑编程技巧与维护, 2023(2): 69-71.

[3] 孙殿杰. FMQL 平台多节点多协议的 SRIO 总线技术 [J]. 单片机与嵌入式系统应用, 2023(12): 67-71.

[4] 孙亮. 一种基于 P2020 的 RapidIO 交换网络模块设计 [J]. 中国科技信息, 2024(6): 87-90.

[5] 范坤. 一种机载综合射频系统通用处理模块设计 [J]. 航空计算技术, 2023, 53(4): 106-109.

[6] 黄润龙. 新一代直升机综合数据处理平台设计及应用 [J]. 电讯技术, 2019(10): 1163-1168.

[7] 阮天翔, 杨玻, 宫婷, 等. 基于 MCU 的机载电子设备健康管理信息系统 [J]. 信息技术与信息化, 2023(4): 145-148.

【作者简介】

杨舟（1993—），男，陕西汉中 人，硕士，工程师，研究方向：机载高速总线和接口。

王煦（1989—），男，四川绵阳 人，硕士，工程师，研究方向：机载高速总线和接口。

朱宇（1984—），男，四川资中 人，硕士，高级工程师，研究方向：机载高速总线和接口。

（收稿日期：2025-06-10 修回日期：2025-11-17）