

基于 Zynq 的超小型雷达信号处理系统设计与实现

王 博¹ 李飞飞¹ 李文龙¹
WANG Bo LI Feifei LI Wenlong

摘 要

为解决传统 FPGA+DSP 架构雷达信号处理系统功耗高、PCB 面积大、成本高昂且难以满足小型化需求的问题,文章以 Zynq-7045 芯片为核心数字计算器件,构建了一种超小型雷达信号处理系统,使用其内置的 PL (FPGA 资源) 和 PS (ARM 资源) 硬核计算资源高效地完成了雷达信号处理和目标检测,采用专用 DDS 芯片和 AD 芯片作为主要的外围器件,分别完成波形发生和回波采样功能。通过编写 PL 和 PS 端软件,完成了对雷达回波的信号处理,实现了对目标的稳定检测。得益于 Zynq 芯片 SoC 级深度整合,该超小型雷达信号处理系统展现出了令人满意的性能和 PCB 面积收益,对比使用 FPGA+DSP 进行数字计算的傳統信号处理架构,在保持高计算性能的同时,大幅降低了信号处理系统的功耗、发热量和使用面积,节省了成本,具有较明显的综合优势。

关键词

Zynq; SoC; 超小型; 低成本; 信号处理系统

doi: 10.3969/j.issn.1672-9528.2025.12.024

0 引言

在航空航天和电子科技等领域,雷达信号处理系统得到了广泛使用。传统的雷达信号处理系统一般基于 FPGA+DSP 的数据计算架构进行设计,采用独立的现场可编程门阵列芯片 (field programmable gate array, FPGA) 和数字信号处理芯片 (digital signal processing, DSP) 来构建数字信号处理系统的计算核心^[1]。这种方案虽然使用较为广泛,但带来的功耗和 PCB 面积的开销较大,较多的计算器件也使得成本相对高昂,且不利于小型化的产品需求。即使使用 SIP 工艺将 FPGA 芯片和 DSP 芯片封装进一片芯片内,虽然减小了占用面积,但并不能从本质上解决高功耗带来的热堆积问题。

赛灵思公司近年来推出的 Zynq 系列 SoC 芯片实现了 PL (programmable logic) + PS (processing system) 的 SoC 级深度整合,PL 端由 FPGA 实现,PS 端由 ARM 处理器实现。在保持高效计算性能的同时,大幅降低了信号处理系统的功耗、发热量和使用面积,已经开始在多个应用场景中得到了越来越广泛地使用。Zynq-7000 系列 SoC 芯片功能

框图^[2]如图 1 所示。国内外诸多大学和研究机构都对 Zynq 的器件特性和应用进行了深入研究,应用方向包括高速信号采集与处理^[3]、卫星导航接收机^[4]、经纬仪设计^[5]和图像视频分析处理^[6-8]等,甚至在自动驾驶场景^[9]中也得到了使用,Zynq 芯片的应用场景不断扩展,应用前景广阔。

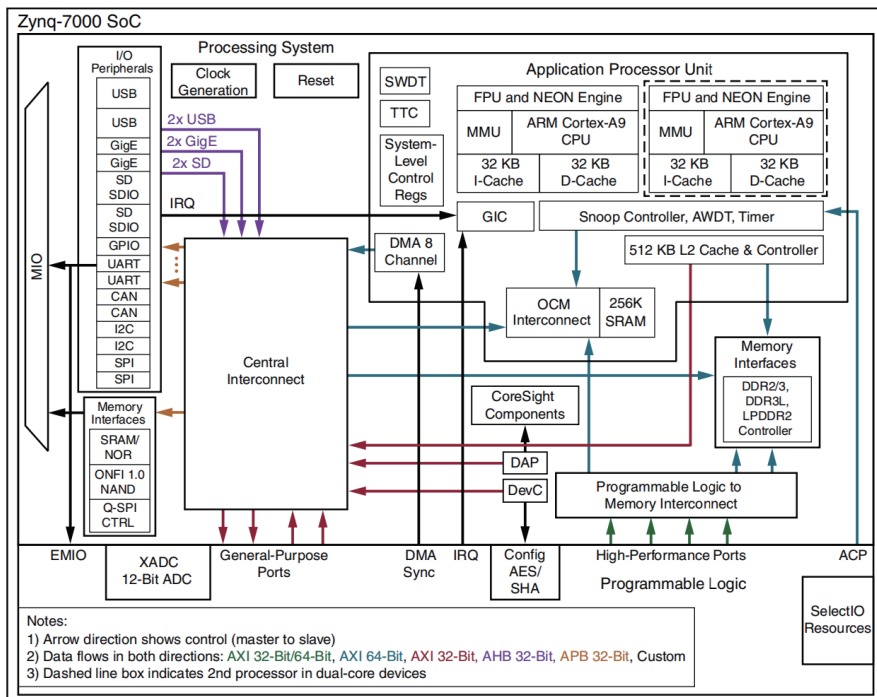


图 1 ZYNQ-7000 系列 SOC 芯片功能框图

1. 中国空空导弹研究院 河南洛阳 471009

但 Zynq 芯片在雷达信号处理场景中尚未得到较广泛地使用。因此,本文基于 Zynq 芯片的 SoC 级整合优势,使用 Zynq-7045 芯片作为核心计算器件,探索了一种超小型雷达信号处理系统设计和实现方法,有效减少了主要计算器件的数量,缩减了 PCB 板的面积,而 SoC 级的深度整合也带来了功耗和硬件成本的降低。

1 处理系统设计

针对传统基于 FPGA+DSP 计算架构的信号处理系统芯片多、体积大的现状,为了更好解决超小空间限制下的雷达信号处理系统设计问题,本文创新性地提出并设计了一种以 Zynq-7045 芯片为核心计算器件的雷达信号处理系统,系统设计框图如图 2 所示。

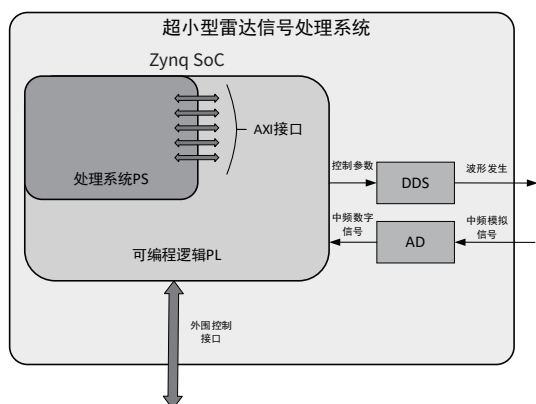


图 2 基于 Zynq 的超小型雷达信号处理系统

本文主要研究了基于 Zynq 的超小型雷达信号处理系统硬件实现、软件实现和系统性能测试等内容。首先,通过直接数字频率合成芯片(direct digital synthesis, DDS)产生期望的发射波形,本文中采用准连续波波形。然后,通过 AD 采样芯片将包含目标回波信息的中频模拟信号经采样后转换为中频数字信号并进入 Zynq 的 PL 端进行雷达信号的预处理工作。PL 按照约定好的处理周期和时序,将计算后的预处理数据通过紧密耦合的 AXI-HP 高速接口发送给 PS, PS 在后续的处理周期内完成后续的目标检测等工作。

2 处理系统硬件实现

系统硬件的核心为一片赛灵思公司的 Zynq-7045 芯片,其主要包含资源等同于 K7-325T 型 FPGA 的 PL 端和基于最高 1 GHz 的双核 ARM A9 计算核心的 PS 端,该芯片逻辑和计算资源丰富,雷达信号处理能力较强。此外,DDS 发生芯片使用 JDDS14P4,AD 采样芯片 TI 公司使用 ADS4449。

同时,为实现高集成度的超小型信号处理系统硬件设计,充分考虑电路板面积较为受限的因素,采用了高集成小封装的接插件、电平转换芯片、电源模块、变压器、配置 FLASH 和时钟分频器等,极大地压缩使用面积。同时,对于体积无法降低的 LC 滤波器,则将其放置在信号处理系统外的收发源内,

从而使得高集成度的超小型雷达信号处理系统得以实现。基于 Zynq 的超小型雷达信号处理系统硬件实物如图 3 所示。

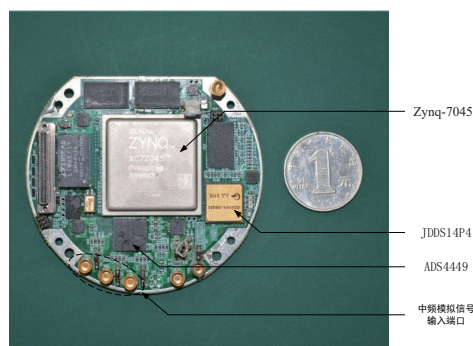


图 3 基于 Zynq 的超小型雷达信号处理系统实物图

3 处理系统软件实现

基于 Zynq 的超小型雷达信号处理系统的软件开发使用 Vivado 2016.2 及其 SDK 开发套件。PL 端的软件开发使用 Vivado 2016.2,开发语言为 Verilog/VHDL HDL 语言;PS 端的软件开发使用 SDK 开发工具,开发语言为 C 语言。Zynq 芯片的软件开发流程清晰,两端可同时在线联试。软件开发流程过程如图 4 所示。

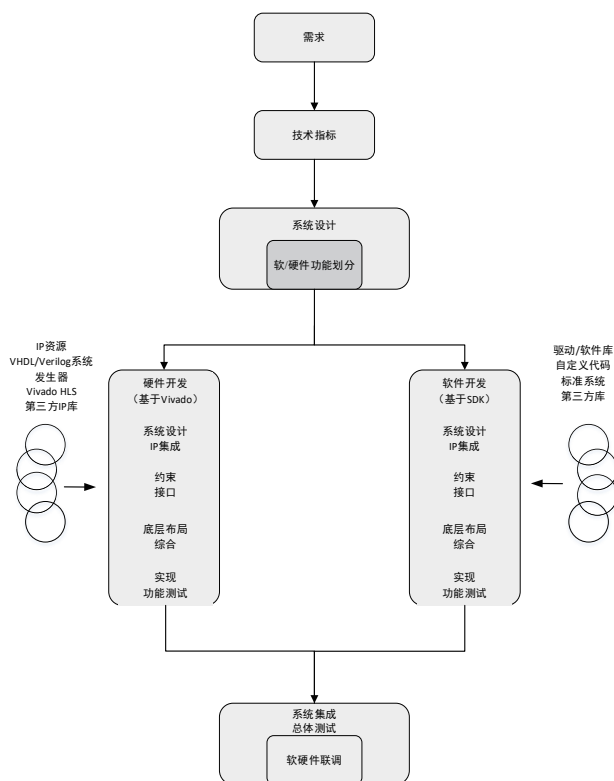


图 4 Zynq 软件开发流程示意图

首先,在 Vivado 2016.2 中新建 Block Design 模块,在该模块中进行图形化的顶层架构设计和搭建,并确定 Zynq SoC 内需要使用功能模块以及之间的时钟数据的互联关系,如图 5 所示。

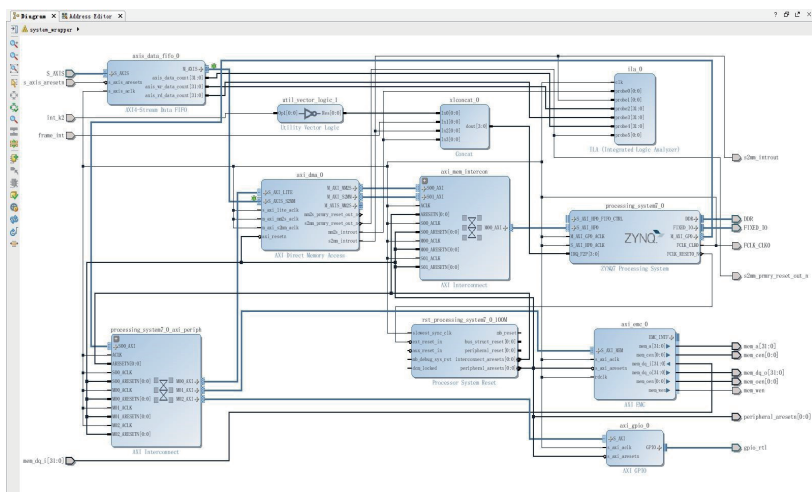


图 5 Zynq 开发顶层模块化设计图

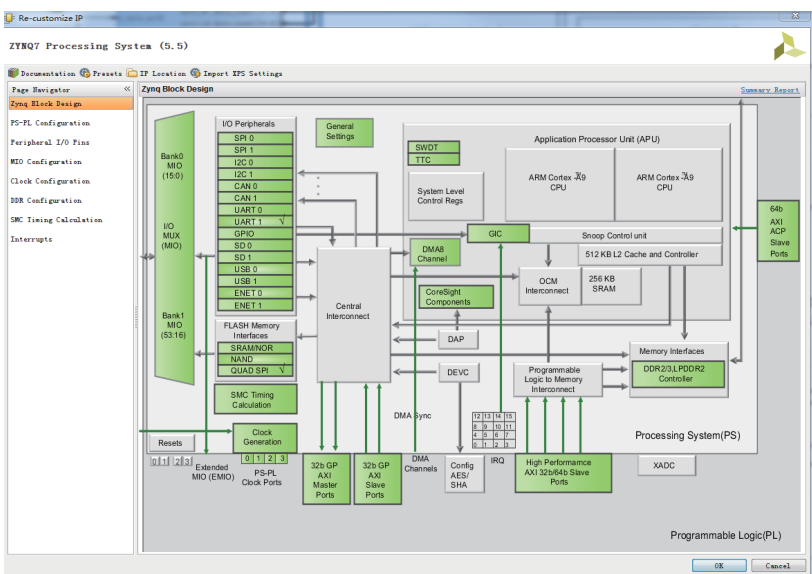


图 6 Zynq-7045 PS 端配置示意图

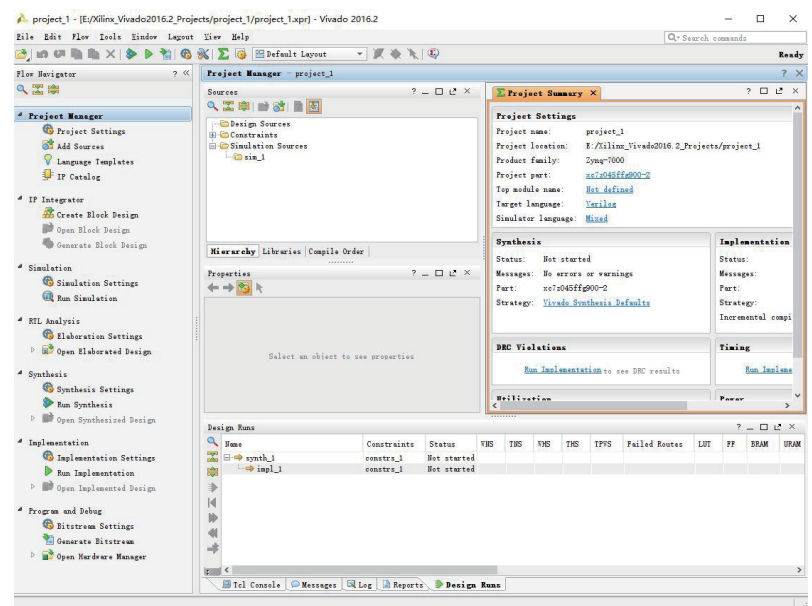


图 7 PL 端软件开发界面

在搭建好的 Block Design 模块中, 添加 Zynq 的 PS 模块, 添加各种需要的通信、中断、缓存和接口控制等图形化模块, 并对各个模块之间进行连线, 保障数据的正常流通。顶层架构设计完成后, 还需要对 Zynq 的 PS 模块按照系统硬件参数进行配置, PS 端配置如图 6 所示。然后, 在 SDK 开发环境中, 完成 PS 端的 C 软件开发。

根据系统的功能划分, 在 PL 端主要完成中频模拟信号的采样和数字信号预处理; 在 PS 端主要完成目标检测和接口控制等工作。

PL 端完成中频模拟信号高速采样、数字下变频、FIR 滤波抽取、数据乒乓缓存、相参积累等信号预处理工作。同时, 完成中断的产生和发送、DMA 数据迁移、外围接口控制等功能。PL 端软件开发界面如图 7 所示。

最后, 通过 Zynq SoC 内高速 AXI-HP 接口将 PL 端信号预处理后的各通道的谱数据快速传送到 PS 端的存储内, PS 端编写软件代码完成目标信息的提取检测等工作。PS 端软件开发界面如图 8 所示。

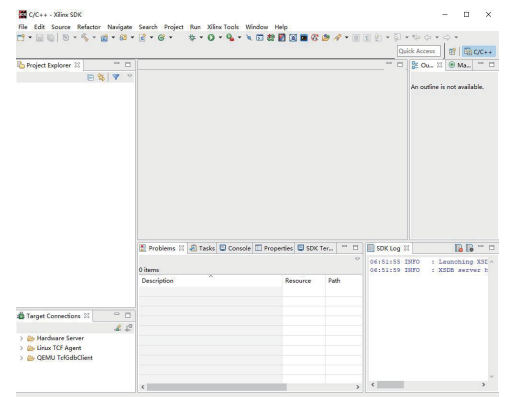


图 8 PS 端软件开发界面

相比传统的 FPGA+DSP 的信号处理架构, 使用 Zynq 简化了数据传输操作, 在 Zynq 芯片内即可实现数据的 PL 端和 PS 端之间的高速传输, 而不必经过硬件管脚和 PCB 走线, 速率更快, 面积更省, 功耗也更低。

4 处理系统测试

本信号处理系统使用功耗控制优异、芯片面积较小的 Zynq-7045 器件作为雷达信号处理系统的核心处理器件, 有效减少了核心计算器件的使用数量, 极大缩小了处理系统占用的 PCB 面积, 而且 Zynq-7045 作为成熟器件较好

地降低了价格成本。

本信号处理系统使用通用 AXI 接口简化了系统互联架构, 基于 AXI-GP 接口实现了低速参数的双向收发控制, 基于 AXI-HP 接口实现了 PL 端的预处理结果向 PS 端的片内 DMA 高速传输。经过实测, AXI-GP 接口单向有效传输速率不少于 100 Mbit/s, 基于 AXI-HP 接口单向有效传输速率不少于 7.6 Gbit/s, 有效满足了系统的控制参数和预处理后的谱数据的快速传输需求。

雷达目标回波信号处理后的和路信号时、频域波形分别如图 9 和图 10 所示。图 9 为系统处理后的雷达信号回波时域基带 IQ 数据; 图 10 为对应的雷达回波信号频域数据的功率谱 (dB 值)。

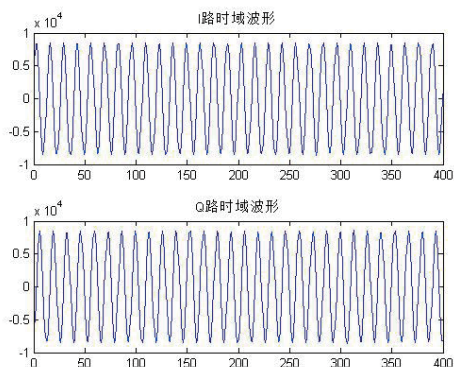


图 9 雷达信号处理时域波形图

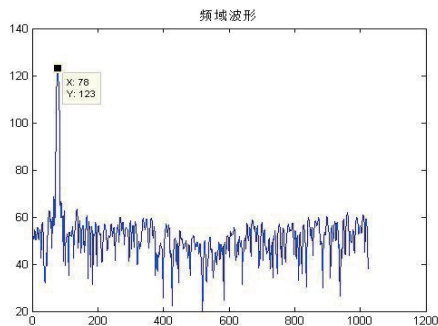


图 10 雷达信号处理频域波形图 (blackman 窗)

通过解析该频域信号的峰值位置, 通过简单计算即可获得目标的回波 FD 信息, 通过对该 FD 值的处理, 可获知目标的速度信息。将目标所在位置对应的差路信号与和路信号去比, 通过简单运算即可得到对应的俯仰角和方位角信息。雷达信号处理系统将获得的速度和角度信息发送给其他需要的组件, 完成处理任务。

基于 Zynq 的超小型雷达信号处理系统硬件直径不超过 75 mm, 系统总功耗小于 10 W, 软件上具备雷达信号发生、模数信号变换、数字信号下变频 (DDC)、抽取滤波、高速数据存储与释放、时频域转换、数据高速传输、目标搜索与跟踪等雷达信号处理功能, 其处理能力可以满足常规多普勒脉冲雷达的信号处理与检测需求。

5 总结

本文完成了基于 Zynq 的超小型雷达信号处理系统硬件的设计和实现, 突破了 Zynq SoC 片内 PL 和 PS 异构处理单元间的高、低速数据互联技术, 使用了 Zynq SoC 新型软件开发方式和基于单片 Zynq SoC 的信号采样和预处理技术, 具有较高的完成度。

本处理系统使用 Zynq-7045 作为超小型雷达信号处理系统的核心计算器件, 具有成本低、综合开销小、开发速度快和执行效率高等优点, 取得了很好的效果, 是一次成功的尝试, 对于以后类似的信号处理系统的器件选型和系统设计提供了一种好的思路。

参考文献:

- [1] 彭宇, 姜红兰, 杨智明, 等. 基于 DSP 和 FPGA 的通用数字信号处理系统设计 [J]. 国外电子测量技术, 2013, 32(1): 17-21.
- [2] Zynq 7000 SoC Technical Reference Manual[EB/OL]. (2017-12-06)[2025-11-21]. https://www.xilinx.com/support/documentation/user_guides/ug585-zynq-7000-trm.pdf.
- [3] 李正轩, 费树岷. 基于 Zynq-7000 FPGA 的高速信号采集处理平台 [J]. 单片机与嵌入式系统应用, 2016, 16(2): 44-47.
- [4] 赵晶. 基于 Zynq-7000 的星载双模卫星导航接收机设计与实现 [J]. 通信技术, 2017, 50(8):1849-1854.
- [5] 张立文. 基于 Zynq 的经纬仪数据通讯与显示系统设计 [J]. 数字技术与应用, 2015(9):135-137.
- [6] YANG X A, LUO J, SU H, et al. High-speed image acquisition and real-time processing system based on Zynq-7000[J]. Electronic science and technology, 2014, 7: 151-154.
- [7] 杨晓安, 罗杰, 苏豪, 等. 基于 Zynq-7000 高速图像采集与实时处理系统 [J]. 电子科技, 2014, 27(7):151-154.
- [8] 孟繁星. 基于 Zynq-7000 的视频图像处理系统设计 [J]. 信息通信, 2015(8):60-62.
- [9] HWANG G H, OH H B, JEON J W. How lightweight deep learning enhances performance in DPU-accelerated autonomous driving on Zynq SoC[C/OL]. 2025 11th International Conference on Mechatronics and Robotics Engineering (ICMRE). 2025[2025-11-26]. <https://ieeexplore.ieee.org/document/10976268>. DOI:10.1109/ICMRE64970.2025.10976268.

【作者简介】

王博 (1993—), 男, 河南平顶山人, 硕士, 工程师, 研究方向: 嵌入式与雷达信号处理。

(收稿日期: 2025-09-22 修回日期: 2025-12-08)