

# 基于 ARM 架构的多核处理器 QSPI 接口扩展及应用

王晓鸽<sup>1</sup> 赵彬智<sup>1</sup> 白云逸<sup>1</sup>  
WANG Xiaoge ZHAO Binzhi BAI Yunyi

## 摘要

随着嵌入式计算机应用的发展,数据传输要求的不断提高,ARM 架构的多核处理器以其性能高、自主化程度强的特点,越来越多地被应用到以该型处理器为核心的多总线接口的计算机架构中。与此同时,受传输效率、稳定性以及布板面积的影响,全双工传输的 SPI (serial peripheral interface) 接口以及其衍生出的 QSPI 接口也逐渐成为处理器与 Flash 存储器之间传输的主要接口之一。因此,文章针对 ARM 架构的多核处理器的 QSPI 总线接口的扩展与应用进行分析,主要关注该扩展接口的软件使用特征、访问延时、传输带宽等,基于这些技术特征,在软硬件设计中判断 QSPI 具体的待扩展功能,并据此给出设计建议作为嵌入式计算机设计参考。

## 关键词

ARM 架构; 多核处理器; QSPI 接口; 访问方式; 访问延迟; 传输带宽

doi: 10.3969/j.issn.1672-9528.2025.08.004

## 0 引言

常见的串行传输方式包括: UART 接口、I2C 接口 SPI 接口、CAN 总线等<sup>[1-2]</sup>。近年来,随着嵌入式计算机应用的快速发展,为适应任务的复杂性要求,加之处理器性能的不不断提升,因此对数据总线传输需求进一步提升,对于数据读写速度的要求越来越高。为应对市场需求, Motorola 公司在原 SPI 协议的基础上扩展升级,提出传输带宽更高,功能更强大的 QSPI 传输协议<sup>[3]</sup>。

QSPI 总线协议有三种模式,分别是 Normal SPI、Dual SPI 以及 Qual SPI<sup>[4]</sup>。Normal SPI 即通用 SPI 接口,其数据线由一根输出数据线和一根输入数据线组成,该模式为全双工方式<sup>[5]</sup>; Dual SPI 使用 2 根数据线,不同于 Normal SPI 的两根数据线只能同时输入数据或同时输出数据,这种方式为半双工方式<sup>[6]</sup>,该传输方式每个时钟周期传输 2 bit 数据,其传输速率高于 Normal SPI; QSPI 使用 4 根数据线,为半双工方式,其 4 根数据线可以同时输入或同时输出数据,每个时钟周期可传输 4 bit 数据,传输速度进一步提高<sup>[7]</sup>。

## 1 QSPI 传输协议

QSPI 传输协议支持较多功能模式: 单线模式 (single I/O mode)、双线模式 (Dual I/O mode)、四线 (Quad I/O mode) 模式、并行模式 (parallel mode)、DDR 模式 (DDR/DTR mode) 等,如表 1 所示。单线模式下 QSPI 传输时序如图 1 所示。该模式下, QSPI 传输的 5 个阶段均为单根信号线的串行传输。

表 1 单组 QSPI 接口信号

信号名	方向	功能
CLK	主 → 从	时钟
CS <sup>#</sup>	主 → 从	片选
IO0/MOSI	主 ←→ 从 / 主 → 从	双 / 四线模式: 双向 IO 信号; 单线模式: 单向信号 (类似 SPI 的 MOSI 信号)
IO1/MISO	主 ←→ 从 / 从 → 主	双 / 四线模式: 双向 IO 信号; 单线模式: 单向信号 (类似 SPI 的 MISO 信号)
IO2	主 ←→ 从	四线模式: 双向 IO 信号; 单 / 线模式: 不使用该信号
IO3	主 ←→ 从	四线模式: 双向 IO 信号; 单 / 线模式: 不使用该信号
DQS (可选信号)	从 → 主	数据选通信号, DDR 模式时,从设备可向主设备提供与 IO[3:0] 对齐的 DQS 信号,主设备可利用 DQS 信号来同步采样 IO[3:0] 信号

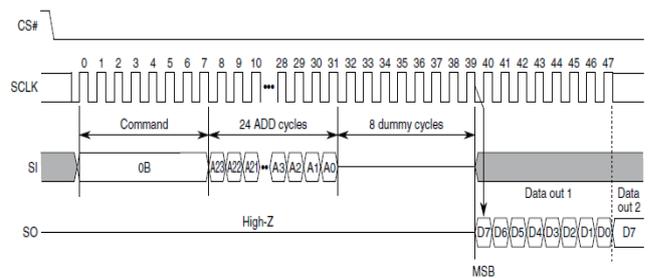


图 1 单线模式下 QSPI 传输时序

双线模式下 QSPI 传输时序如图 2 所示, QSPI 传输的指

1. 中航工业西安航空计算技术研究所 陕西西安 710068

令阶段为单根信号线的串行传输，其余4个阶段均为双根信号线的并行传输。

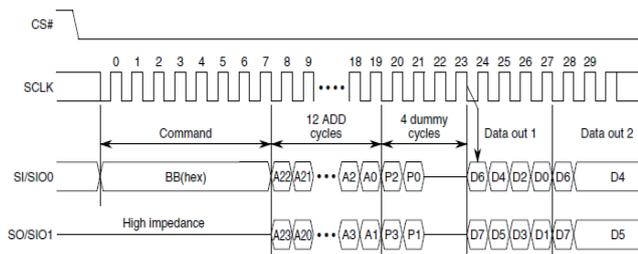


图2 双线模式下 QSPI 传输时序

四线模式下 QSPI 传输指令与信号传输同双线，传输时序如图3所示。

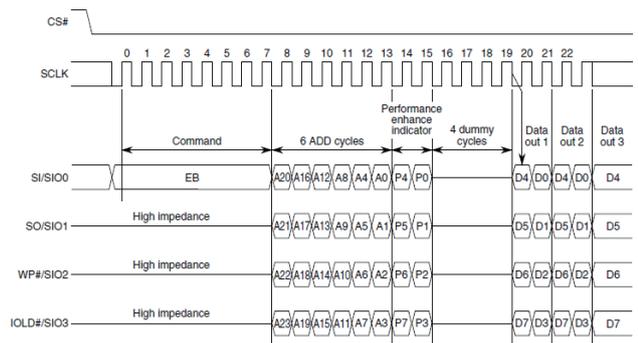


图3 四线模式下 QSPI 传输时序

QSPI 传输协议可以支持大量数据的连续传输。以时钟信号为 100 MHz 的 QSPI 接口为例，单个 QSPI 接口的极限传输带宽可接近 400 Mbit/s；采用双 QSPI 接口并行模式时，极限传输带宽可达到接近 800 Mbit/s；在并行模式的基础上进一步采用 DDR 模式后，极限传输带宽可达到接近 1 600 Mbit/s。值得注意的是，上述极限传输带宽是指数据阶段连续传输理想情况，而实际传输中，传输带宽往往取决于具体的传输时序。例如当一次传输中，指令/地址等其他阶段占用时钟周期较多而数据阶段占用时钟周期较少时，实际传输带宽就会大幅低于理想情况下的极限传输带宽。

## 2 QSPI 接口设计

### 2.1 QSPI 控制器简介

处理器的 QSPI 接口用于扩展启动 Flash，是处理器唯一的启动接口。处理器复位后，从 QSPI 控制器的片选 0 加载初始化代码，进行启动。以经典的 FT2000/4 处理器为例，该处理器仅包含 1 个 QSPI 控制器，支持 QSPI 传输协议的单线模式、双线模式、四线模式。该处理器的 QSPI 控制器的参考时钟为 600 MHz，时钟分频因子可以设置为 2、4、8、16、32、64、128，因此 QSPI 接口的时钟频率可以为 4.687 5、9.375、18.75、37.5、75、150、300 MHz。因 QSPI 接口用于扩展启动 Flash，所以 QSPI 接口时钟频率的设置还会受限于启动 Flash 芯片所能支持的最大时钟频率，以及印制板中

QSPI 接口相关信号的走线质量。

QSPI Flash 的命令操作分为直接地址访问和寄存器端口访问两种方式。直接地址访问是按照寄存器配置的命令，通过读写控制信号和地址对 Flash 进行数据读写操作，是自动触发的访问方式；寄存器端口访问是按照 QSPI 命令协议形式，通过对 QSPI 控制器内部寄存器进行参数设置，控制器通过低位数据端口寄存器读写来触发向 Flash 发送指令<sup>[8]</sup>。

### 2.2 直接地址访问方式

QSPI 控制器地址空间由 QSPI 配置寄存器基址和直接地址可访问的数据空间组成。QSPI 寄存器及其工作方式如表 2 所示。

表 2 QSPI 寄存器及其工作方式

名称 / 信号标识	工作方式
Flash 容量设置： FLASH_CAPACITY	设置所连接 Flash 容量和数量，最大支持 4 个 Flash。
地址访问读 / 写配置： RD_CFG/WR_CFG	配置直接地址访问的读命令，每次直接地址访问时控制器将按此寄存器配置参数向 Flash 发送读 / 写命令。
写缓冲 Flash： FLASH_REG	把写缓冲中的数据写入 Flash，配合地址访问写配置寄存器完成页编程。
命令端口： CMD_PORT	通过寄存器端口访问命令，按命令端口寄存器配置参数向 Flash 发送命令。
地址端口：ADDR_PORT	通过寄存器端口访问时设置的地址。
高 / 低位数据端口： HD_PORT/ LD_PORT	通过寄存器端口访问时的高 / 低 4 字节数据。读写低位寄存器将触发控制器对 Flash 发送按命令端口寄存器发送的指令。若命令需要数据，则按从高到低的寄存器顺序访问。命令端口寄存器设置使用缓冲器时读该寄存器将触发对缓冲器取数据。
CS 设置：FUN_SET	设置 CSN 有效建立时间、有效保持时间和高电平间隔时间。
WIP 读取设置：WIP_RD	设置查询 Flash 状态寄存器命令。
WP 寄存器：WP_REG	按照特定命令协议下控制 WP 输出。
Mode 设置寄存器 MODE_REG	设置 Flash 模式位的值。

#### 2.2.1 访问方式

处理器的 QSPI 接口通过“直接地址访问”方式发起对 QSPI 从设备的读写访问。处理器将本地地址段映射为 QSPI 接口读写访问空间。当 CPU 对该地址段进行读 / 写访问时，按照 QSPI 控制器 RD\_CFG/WR\_CFG 寄存器的配置信息，发起对 QSPI 从设备的读 / 写指令传输，读 / 写指令传输数据阶段返回的数据作为 CPU 读 / 写访问的读 / 写数据。

在使用“直接地址访问”方式之前，应先对 RD\_CFG、

WR\_CFG、FLASH\_CAPACITY 寄存器进行初始化。同时，对 QSPI Nor Flash 进行写操作之前，需要首先对 QSPI Nor Flash 进行写使能操作、擦除操作。通常以“寄存器操作序列”方式来对 QSPI Nor Flash 进行写使能操作、擦除操作。

### 2.2.2 访问延迟 / 传输带宽

CPU 通过“直接地址访问”方式对 QSPI 从设备进行读写访问的访问延迟，取决于 RD\_CFG、WR\_CFG 寄存器配置的 QSPI 传输时序，而 RD\_CFG、WR\_CFG 寄存器的传输时序配置，又很大程度上取决于 QSPI 从设备的访问特性，例如，QSPI 从设备所接收的 QSPI 传输指令、QSPI 传输模式、地址宽度、指令处理延迟、时钟频率等。除此之外，QSPI 从设备的访问特性也会严重影响到处理器与 QSPI 从设备之间的传输带宽，例如 QSPI Nor Flash 芯片写操作需要一定的执行时间，就会要求 CPU 对其连续“直接地址写访问”时，两次“直接地址写访问”之间间隔一定的时间，这同样会影响到 QSPI Nor Flash 芯片编程时处理器与 QSPI 从设备之间的传输带宽。

CPU 对 QSPI Nor Flash 的访问延迟和传输带宽，很大程度上取决于 QSPI Nor Flash 自身的特性。

当处理器通过 QSPI 接口扩展功能电路时，CPU 对该扩展功能电路内部硬件资源，如寄存器、缓冲区等，以“直接地址访问”方式进行读写访问的访问延迟推测如下：

CPU 对该扩展功能电路在“直接地址访问”方式中映射的地址段，进行 32 bit 读访问时，所触发的 QSPI 传输中，当 QSPI 传输中采用 24 位地址传输时，地址阶段需 6 个时钟周期，性能增强指示符阶段需 0 个时钟周期，空阶段需至少 1 个时钟周期，以及扩展功能电路内部的读操作处理延时。数据阶段需 8 个时钟周期，此外片选开始和结束时共需约 0.5 个时钟周期的固定耗时，共需约 17.5 个时钟周期。综上，CPU 以“直接地址访问”方式对 QSPI 接口扩展功能电路进行 32 bit 读访问的访问延迟推测为“QSPI 接口时钟周期  $\times$  17.5 + CPU 内部处理时间”。若 QSPI 接口时钟频率为 75 MHz，则该读访问延迟为“233 ns + CPU 内部处理时间”；若 QSPI 接口时钟频率为 150 MHz，则该读访问延迟为“117 ns + CPU 内部处理时间”。

CPU 对该扩展功能电路在“直接地址访问”方式中映射的地址段，进行 32 bit 写访问时，该阶段与读访问不同的是，该阶段不需要空阶段的时钟周期，也就是共需约 16.5 个时钟周期。因此延迟推测为“QSPI 接口时钟周期  $\times$  16.5 + CPU 内部处理时间”。若 QSPI 接口时钟频率为 75 MHz，则该写访问延迟为“220 ns + CPU 内部处理时间”；若 QSPI 接口时钟频率为 150 MHz，则该写访问延迟为“110 ns + CPU 内部处理时间”。

尽管有部分处理器的 QSPI 控制器最高可对外输出 300 MHz 的 QSPI 接口时钟，但实际应用中难以达到。一方面因为扩展功能电路往往通过 FPGA 实现，FPGA 的通用 IO 管脚难以支持 300 MHz 的接口频率，另一方面因为印制板往

往难以支持 300 MHz QSPI 接口所需要的信号质量。

处理器使用 QSPI 接口的片选 0 作为启动接口，扩展启动 Flash，因此 QSPI 接口至少需要连接一个 QSPI Nor Flash 芯片，若再通过 QSPI 接口扩展其他功能电路，则 QSPI 接口的时钟信号、IO[3:0] 信号必须分叉传输连向多个设备，信号分叉会显著影响信号质量，进而有很大可能导致 QSPI 接口无法支持 150 MHz 的接口频率。

如前所述，QSPI 接口至少需要连接一个 QSPI Nor Flash，若再通过 QSPI 接口扩展其他功能电路，则 QSPI 控制器由 QSPI Nor Flash 与扩展功能电路共享。“直接地址访问”方式相关的 RD\_CFG、WR\_CFG 寄存器，也由 QSPI Nor Flash 芯片与扩展功能电路共享。如 QSPI Nor Flash 所需的访问配置与扩展功能电路所需的访问配置不同，则“直接地址访问”在更换访问目标时，需要重新配置 WR\_CFG、RD\_CFG 寄存器，这对 QSPI Nor Flash、扩展功能电路的访问带来较大不便，也会对其访问带宽形成一定影响。

## 2.3 寄存器操作序列方式

### 2.3.1 传输 / 访问方式

处理器 QSPI 接口可以通过“寄存器操作序列”方式发起对 QSPI 从设备的传输或访问，基本操作流程如下：

(1) 通过 CMD\_PORT 寄存器设置 QSPI 传输的指令、时序、片选信号等。

(2) 通过 ADDR\_PORT 寄存器设置 QSPI 传输的地址：在 CMD\_PORT 寄存器中指定 QSPI 传输是否包含地址阶段，以及地址的宽度 (24/32 bit)。如果 QSPI 传输中不包含地址阶段，则可略过步骤 (2)。

(3) 读写 HD\_PORT、LD\_PORT 寄存器来发起 QSPI 传输，具体如下：

① 当本次 QSPI 传输数据阶段传输方向为“主  $\rightarrow$  从”时，应通过写 HD\_PORT、LD\_PORT 寄存器来发起 QSPI 传输，写入 HD\_PORT、LD\_PORT 寄存器的数据即为数据阶段传输的数据。

② 当本次 QSPI 传输包数据阶段传输方向为“从  $\rightarrow$  主”时，应通过读 HD\_PORT、LD\_PORT 寄存器来发起 QSPI 传输，数据阶段传输的数据会映射至 HD\_PORT、LD\_PORT 寄存器中，作为读取 HD\_PORT、LD\_PORT 寄存器返回的数据。QSPI 传输数据阶段的传输数据量与方向为“主  $\rightarrow$  从”时一致。

③ 当本次 QSPI 传输不包含数据阶段时，可通过向 LD\_PORT 寄存器写入 0x1 来发起 QSPI 传输。

### 2.3.2 访问延迟 / 传输带宽

当处理器通过 QSPI 接口扩展功能电路时，CPU 对该扩展功能电路内部硬件资源，如寄存器、缓冲区等，以“寄存器操作序列”方式进行读写访问的访问延迟推测如下：

CPU 以“寄存器操作序列”方式对该扩展功能电路进行

24 位地址、32 位数据的读访问时, 需进行 3 次寄存器操作, 即写入 CMD\_PORT、写入 ADDR\_PORT、读取 LD\_PORT。CPU 对扩展功能电路读访问的总时延, 相当于 QSPI 传输时延+3 次寄存器操作时延。QSPI 传输时延约为 17.5 个时钟周期若 QSPI 接口时钟频率为 75 MHz, 则该读访问总延迟为“233 ns+3 次寄存器操作时延”; 若 QSPI 接口时钟频率为 150 MHz, 则该读访问总延迟为“117 ns+3 次寄存器操作时延”。

CPU 以“寄存器操作序列”方式对该扩展功能电路进行 24 位地址、32 位数据的写访问时, 与读访问时的寄存器操作一致。因 QSPI 控制器中并无查询当前 QSPI 是否正在传输的状态寄存器, 故推测在 QSPI 传输完成时, LD\_PORT 寄存器写操作才会完成。CPU 对扩展功能电路写访问的总时延, 相当于 QSPI 传输时延+3 次寄存器操作时延。QSPI 传输时延约为 16.5 个时钟周期。若 QSPI 接口时钟频率为 75 MHz, 则该写访问总延迟为“220 ns+3 次寄存器操作时延”; 若 QSPI 接口时钟频率为 150 MHz, 则该写访问总延迟为“110 ns+3 次寄存器操作时延”。

与直接地址访问方式相同, 实际受限于 FPGA 接口频率和印制板信号质量影响, 对外输出的接口频率也难以达到理论值。同时, 使用 QSPI 接口的片选 0 作为启动接口, 扩展启动 Flash, 通过 QSPI 接口扩展其他功能电路时, 受信号分叉传输的影响也导致 QSPI 接口无法支持理论最大接口频率。

### 3 总结

综上所述, 当使用 QSPI 接口为 ARM 处理器扩展功能电路时, 具有下述特征:

(1) 支持 CPU 以“直接地址访问”或“寄存器操作序列”实施 CPU 与扩展电路之间的数据传输, 访问扩展电路。

(2) QSPI 接口必须连接用于 ARM 处理器启动的 QSPI Nor Flash, QSPI 控制器由 QSPI Nor Flash 与扩展功能电路共享, 若 QSPI Nor Flash 和扩展功能电路均采用“直接地址访问”方式进行访问, 并且两者的访问配置不同, 则“直接地址访问”在更换访问目标时, 需要重新配置 WR\_CFG、RD\_CFG 寄存器, 这对 QSPI Nor Flash、扩展功能电路的访问带来较大不便, 也会对其访问带宽形成一定影响。

(3) CPU 以“寄存器操作序列”方式对扩展功能电路内部硬件资源进行读写访问(32 位数据)时, 若使用 QSPI 传输的地址阶段进行硬件寻址, 则每次读写访问需进行 3 次寄存器访问操作: QSPI 接口时钟频率为 75 MHz 时, 读/写访问总延迟预计为“233/220 ns+3 次寄存器操作时延”, 频率为 150 MHz 时, 读/写访问延迟预计为“117/110 ns+3 次寄存器操作时延”。

(4) CPU 以“寄存器操作序列”方式对扩展功能电路内部硬件资源进行读写访问(32 位数据)时, 若使用 QSPI 传输的指令阶段进行硬件寻址, 则每次读写访问需进行 2 次

寄存器访问操作: QSPI 接口时钟频率为 75 MHz 时, 读/写访问总延迟预计为“153/140 ns+2 次寄存器操作时延”, 频率为 150 MHz 时, 读/写访问延迟预计为“77/70 ns+2 次寄存器操作时延”。

(5) 在实际中难以达到 QSPI 控制器的最高对外输出时钟频率。

(6) 部分 ARM 处理器, 如 FT2000/4 处理器, 不支持 QSPI 接口与其他设备(例如 DDR 存储器、PCIe 接口)之间的 DMA 数据传输。

(7) 当使用 QSPI 接口为 ARM 处理器扩展功能电路时, QSPI 的时钟信号、IO[3:0] 信号有时需分叉传输至 QSPI Nor Flash 也就是 Boot Flash 和扩展功能电路, 信号分叉会显著影响信号质量, 有可能导致 QSPI Nor Flash 相关的 QSPI 传输需要降频运行。这会显著影响 CPU 对 QSPI Nor Flash 的访问延迟, 进而影响处理器的启动时间。

### 参考文献:

- [1] LIU X C, LIU Y D. Multi-functional serial communication interface design based on FPGA[C]//2017 3rd IEEE International Conference on Computer and Communications (ICCC). Piscataway: IEEE, 2017:758-761.
- [2] 郭健忠, 田潇寒, 谢斌, 等. 基于无锁 FIFO 队列的 CAN 总线数据采集系统[J]. 电子设计工程, 2023, 31(1):184-188.
- [3] 王晗, 李广军, 郭志勇. 同步队列串行接口 QSPI 的研究与应用[J]. 单片机与嵌入式系统应用, 2008(4):67-69.
- [4] NAM E H, KIM B S J, EOM H, et al. Ozone (03): an out-of-order flash memory controller architecture[J]. IEEE transactions on computers, 2011, 60(5): 653-666.
- [5] 赵少兴. 并口 NOR FLASH 擦写控制器的功能及其验证改进设计[D]. 西安: 西安电子科技大学, 2017.
- [6] LI T, LEI Z. A novel multiple dies parallel NAND flash memory controller for high speed data storage[C/OL]//2017 13th IEEE International Conference on Electronic Measurement & Instruments (ICEMI). Piscataway: IEEE, 2017[2024-09-15]. <https://ieeexplore.ieee.org/document/8265905>. DOI: 10.1109/ICEMI.2017.8265905.
- [7] 戴骏, 刘佩林. 一种基于 AHB 总线的 NorFlash 控制器设计[J]. 信息技术, 2016, 40(11):4.
- [8] 边庆, 张国强, 白晨. 基于 ARM 多核处理器的多总线接口系统研究[J]. 信息技术与信息化, 2022(5):148-151.

### 【作者简介】

王晓鸽(1995—), 女, 陕西西安人, 硕士, 工程师, 研究方向: 嵌入式计算机应用。

(收稿日期: 2025-02-21 修回日期: 2025-06-30)