

面向交换机的快速启动方法研究

赵玄润¹ 李煜甫¹ 张立辉¹ 马航航¹ 雷俊婷¹

ZHAO Xuanrun LI Yufu ZHANG Lihui MA Hanghang LEI Junting

摘要

AFDX 交换机是机载通信网络重要的组成部分, 提供了飞机控制命令和状态信息等数据信息的传输与交换。现场可编程门阵列 (field programmable gate array, FPGA) 被广泛应用在交换机中, 其加载配置表的效率会直接影响交换机的初始化时间, 在实际应用中, 需要飞机在上电以及掉电重启后能够快速启动来满足正常通信的功能。因此, 首先通过对 FPGA 在上电后加载配置表的过程进行研究和分析, 针对如何加快交换机的启动时间提出了高效的设计方案。然后分别从软件和硬件的角度出发提出改进措施, 使得交换机的启动时间大幅度提升。最后对优化方法进行了测试。实验表明, 交换机系统的启动时间明显得到提升, 并能够正常通信。

关键词

AFDX 交换机; 机载通信; 现场可编程门阵列; 启动时间; 加载配置

doi: 10.3969/j.issn.1672-9528.2024.01.017

0 引言

近年来, 随着民用飞机工业和制造经历了巨大的演变, 实时航空电子系统中的数据信息类型和数据量正在显著增加, 对于交换机而言, 其在机载网络通信系统中有着更高的要求, 比如数据实时传输、系统快启动等。

当前流行的分布式体系结构 IMA (integrated modular avionics)^[1-2] 提供了资源共享和分组交换的可靠和确定的传输。AFDX (航空电子全双工交换以太网, ARINC 664)^[3] 因其高吞吐量和可靠性的优点常被使用在 IMA 中。通过不同的物理链路映射多个预定义的数据流, 广泛应用于分布式实时航空电子网络。AFDX 网络是由端系统 (ES)、交换机和物理链路组成。网络的入口和出口称为端系统, 是数据的发送器和接收器。

交换机的启动性能会对用户的体验感产生影响, 尤其是对于航空机载系统, 其一, 用户对于交换机的启动时间比较敏感, 对于处在智能化设备越来越多的今天, 人们不愿意花费几十秒的时间来等待交换机进入通信状态; 其二, 相较于体验感, 用户对于飞机的安全性更加关注, 试想一下, 如果飞机在正常的行驶过程中出现短暂掉电的情况, 而交换机的启动需要几十秒的时间, 甚至是几分钟时间才能够恢复通信, 将会产生严重的事故。因此, 加快交换机的启动时间是十分必要的。

FPGA 以其硬件电路高速运行和软件可编程的优点被广泛应用在通信、雷达和云计算等领域。FPGA 在上电后, 需要加载配置文件并对各模块进行初始化, 加载配置文件的时间直接影响交换机的启动时间。目前有许多加载配置文件的方法, 比如 Meyer 等人^[4] 提出了一种名为“快速启动”的配置方法, FPGA 的配置过程主要分为两步, 减小了初始比特流大小, 进而将配置时间缩短了 4.5 倍。Muhammad 等人^[5] 提出了一种基于动态部分重配置的框架, 该框架允许在 FPGA 结构的同一区域上调度多个逻辑设计的执行。张德民等人^[6] 通过修改代码使系统能够选择性加载配置文件, 保证了 FPGA 可以实现相应的算法以及硬件加速, 提高了系统的灵活性。曹正州等人^[7] 通过分段式控制和擦除流程, 并调整操作参数, 为 FPGA 提供了高精度的延迟参数和低的静态功耗。庞立鹏等人^[8] 通过设计 Flash 型 FPGA 的配置电路来对 FPGA 配置方法进行研究, 然后对系统整体进行测试, 包括电路擦除、编程和校验等操作流程。彭东立等人^[9] 设计了一种可以应用在 FPGA 上重配置技术, 节省了外置 MCU 的成本, 并消除了 MCU 可能带来的设备不稳定性及维修成本。蔺旭辉等人^[10] 实现了一种 P_Flash 型 FPGA 的配置控制电路, 该电路不仅可以实现 P_Flash 存储阵列单元擦除、编程、校验等功能, 同时还可以在各配置指令集和操作电压下, 对 P_Flash 型 FPGA 各配置阶段操作。

本文从实际项目出发, 分别从软件和硬件方面提供了减少加载配置文件的时间的优化策略, 从而达到可以快速进入可通信状态的效果, 并对其启动时间和通信功能进行了测试。

1. 中国航空工业集团公司西安航空计算技术研究所 陕西西安 710065

1 ARINC664 part7 概述

ARINC 664 是现代航空电子网络中广泛使用的协议，由于其简单性而受到青睐，它是一种基于以太网的确切性网络标准，在航空电子子系统之间提供具有有限延迟的数据传输。随着航空电子应用的不断发展，飞机实时系统中的信息传输日益增多，AFDX（航空电子全双工交换以太网）因其高速和全双工的特性而广泛应用于航空电子传输系统，是航空电子系统中安全关键应用的重大升级。以太网标准符合 ARINC 664p7 标准。航空电子全双工交换以太网（AFDX）是一种数据网络，适用于安全关键型应用，利用专用带宽，同时提供确定性的服务质量（QoS）。之所以需要 AFDX，是因为航空应用需要提供保证确定性定时和冗余的高速商业以太网。AFDX 架构中有两种类型的设备，即交换机和终端系统。AFDX 网络可以定义最多 64K 虚拟链路，由以太网帧的 MAC 目标字段中的 16 位标识符标识。ARINC664 帧与以太网标准帧的不同之处仅在于在帧末尾添加了序列号字段。帧由以太网报头、IP 报头、UDP 报头、UDP 有效负载、序列号和帧校验序列（FCS）组成。

2 交换机及交换机启动过程介绍

交换机负责将数据包传送到它们的目的地。路由在数据链路层执行。二层交换机利用帧报头中的 VL 标识符进行流量整形，最多有 4096 帧。交换机还通过流量策略增强网络的确定性。其中调度和过滤策略可以缩小 AFDX 抖动和延迟。轮循和令牌桶传统上用作调度和过滤策略。

使用可编程逻辑器件与 CPU 结合的架构是非常常见的系统架构，一方面可编程逻辑器件可以有效地减少系统硬件的面积，另一方面通过软件可以更好地根据用户需求进行配置与维护，从而更好实现特定功能来满足用户的需求，使系统的灵活性得到了很大的提高。为了能够保证系统的正常通信，首先系统要快速进入通信状态。接下来介绍一下交换机的启动过程，过程如下。

- (1) 上电后，启动交换机的 CPU。
- (2) 运行 BOOT，进行 BIT 自检。
- (3) BOOT 引导交换机操作系统，加载到 RAM 中。
- (4) 交换机操作系统启动后，引导驱动 CPU 的外设。
- (5) 启动应用任务，将 NVRAM 中的配置文件加载到 FPGA 芯片中。

完成上述操作后，交换机才可以正常工作。交换机包括 CPU、交换芯片和两块非易失性的随机存储器 NVRAM。第一块 NVRAM 包括用来引导 BIT 自检和引导操作系统的引导芯片，第二块 NVRAM 用来存储交换机的配置文件。当 FPGA 芯片加载了配置信息后才可以进行通信。

3 设计方案

目前 FPGA 常见的加载配置文件的方法有三种，基本分为三种模式。第一种模式，利用边界扫描模式（boundary scan），首先将计算机的专用下载线与 FPGA 芯片的配置引脚相连，连接后，由软件控制将配置文件加载到 FPGA 内部的易失性存储器中。该方法优点是可以实时在线配置，适用于调试频率高的场合。第二种模式，在 FPGA 芯片外部连接一个非易失性存储器，如 Flash、PROM 等，将配置文件提前烧入该非易失性存储器中，当 FPGA 上电后，通过专用电路自动从非易失性存储器中读取配置文件存储到内部的易失性存储器中。该方法优点是不需要重复加载配置表；缺点是如若要对配置文件进行升级，则需使用专门的下载线重新将 FPGA 配置文件加载到非易失性存储器中，并且如果产品进行了封装，必须返厂更新，增加了维护难度和成本。第三种模式由 CPU 进行加载，CPU 提供 FPGA 专用的加载时序，将配置文件转化为相匹配的位流存储到 FPGA 内部的易失性存储器中。该方法优点是不需要专用下载线，每次只需要将配置文件存储到外部非易失性存储器中，方便 CPU 读取即可；其缺点也非常明显，那就是既增加了 CPU 的负担，同时也存在维护困难的问题。

以上三种模式各有利弊，应用于不同的场景。本文旨在针对现有技术中的不足之处进行优化。

3.1 软件设计

本文的通信系统采用五层协议组成，如图 1 所示，从上到下分别为应用层、传输层、网络层、数据链路层和物理层。物理层通过双冗余 PHY 芯片进行实现。数据链路层、网络层和传输层为端系统的核心功能，由 FPGA 芯片实现，其中传输层通过 FPGA 逻辑实现高完整性数据封装封装、校验、端口服务以及 UDP 协议栈等功能；网络层实现 IP、ICMP 功能；在数据链路层，FPGA 实现虚拟链路调度、高完整性时间戳、CRC、冗余调度及管理等功能。应用层运行在主处理器上，通过软件实现，包括端系统驱动、ARINC615A 数据加卸载及 SNMP 网络管理等功能。

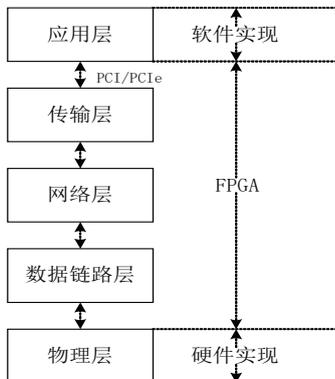


图 1 通信架构图

本文为了能够满足交换机的快速启动,通过修改加载配置表的顺序来达到快速启动的要求。改进之前的方式是在操作系统启动之后,在启动应用任务的同时将配置表加载到 FPGA 芯片中,在此之前 FPGA 芯片一直处于空闲状态。因此,本文针对上述分析的问题,通过在 BOOT 启动的同时实现加载配置表的功能来减小启动时间,并不需要等待操作系统启动后再完成加载配置表。此时,交换机已经可以进行通信,实现数据帧的转发功能。本文提出的启动流程如下。

- (1) 交换机上电,启动交换机的 CPU 和 FPGA 芯片。
- (2) 运行 BOOT,进行 BIT 自检并加载配置表。
- (3) BOOT 引导交换机操作系统,加载到 RAM 中。
- (4) 交换机操作系统启动后,引导驱动 CPU 的外设。
- (5) 启动应用任务。

此时,当(2)过程执行后,FPGA 读取并加载配置表并完成配置,交换机进入正常的通信,大大缩短了交换机快速启动的时间,更快地进入通信状态。该方案针对很多的领域具有实际的应用,比如飞机、汽车和坦克的快速启动,以及系统断电重启后的快速启动,保障了系统快速进入业务通信功能,具有广泛的应用前景。

3.2 硬件设计

传统 FPGA 芯片是采用 SRAM 进行加载配置,但因为 SRAM 具有易失性的特点,FPGA 在每次掉电后会丢失配置,上电后需要重新加载配置,费时费力。而采用软件加载配置表的方法是通过 CPU 进行调度,会占用部分 CPU 的资源,需要数条指令实现一个需求,耗费时间。结合现实使用情况,对于某些特定场景下,对 FPGA 或 ASIC 芯片启动时间有着严格要求,并且要求即使出现故障的情况下,同样希望芯片可以快速恢复到正常通信状态。为了能够有效解决上述问题,本文采用 Flash 对 FPGA 或 ASIC 芯片进行配置,并对其配置电路进行了改进,有效解决了从上电到正常通信快速启动的问题。

配置文件存储在配置存储器中,其中包含表头以及多个配置区。配置电路对表头进行校验后,按照操作数目读取操作控制信息。然后配置存储器按照顺序存储或者参数分组顺序存储。接下来 FPGA 上电后,会主动从 Flash 中的首地址 ADD 开始读取配置信息和加载配置。同时包括空间掩码 MK。在读取每一条控制信息时,会利用校验操作对每一条校验信息进行校验,校验通过则继续执行,否则显示错误。

当 FPGA 处于加载模式下,其加载过程为:在时钟信号 CLK 和片选型号 CS 共同作用下,通过数据传输将读命令编码传送到 Flash,Flash 接收到读命令后,开始传输配置文件。首先读取 Flash 的起始地址到 ASIC 中,在传输过程中,要将写入的配置文件数据读回校验,使用后一项数据对前一项数据进行校验,如果正确,则继续,否则显示错误,直至所有配置参数写入到 ASIC 存储空间中。若 FPGA 处于清理模式时,

则需使用 FADD 替代 Flash 读取的数据按加载模式执行。

4 测试

测试平台硬件由 AFDX 测试模块、监控器、主控机(PC机)、供电电源及以太网电缆等组成,测试采用命令/响应的测试方法,测试设备向被测设备发送命令,测试应用执行该命令,然后向测试设备发回一个确认。测试应用在没有接收到任何命令之前,不会发送任何消息。测试设备是命令接口的管理者,而测试应用是执行者。测试过程如下。

- (1) 测试设备通过发送端口发出命令,并请求测试应用有所响应。
- (2) 测试应用执行该命令。
- (3) 测试应用通过发送端口,以一个或多个回复消息来应答。

(4) 测试应用通过发送端口发送最终的确认消息,告诉测试设备命令已执行完毕,且测试应用为新命令准备好。

在测试机与被测机上建立通信配置,同时针对不同字节长度的数据分别发送 100 个。经过测试,测试机与被测机均能正确接收到对方传出的数据。

在测试机上分别构建错误数据 100 个,正确数据 100 个,并交替发送到被测机。经过测试,被测机能够接收到 100 个正确的数据,并且捕捉到 200 个数据。

5 总结

本文首先阐述了交换机在国人民用飞机实际应用中面临的挑战,即在交换机启动或断电重启后,需要在短时间内进入正常的通信功能。然后对 ARINC664 协议和交换机启动过程的相关原理进行了介绍。最后,为了解决交换机在实际应用中面临的挑战,本文基于软件和硬件方面分别提出了改进方法,相较于改进之前的方法,FPGA 的加载时间有着明显减少,缩短了交换机从上电到可通信状态的时间,并且同时验证了在进行通信时接收数据的正确性,从而验证了本文提出的方法的有效性。

参考文献:

- [1] WAN M. Research on architecture of integrated modular avionics[J].Electronics optics & control, 2009(6):11-17.
- [2] WATKINS C B, WALTER R. Transitioning from federated avionics architectures to integrated modular avionics[C]//2007 IEEE/AIAA 26th Digital Avionics Systems Conference. Piscataway: IEEE, 2007: 1-10.
- [3] WANG G, YANG B, YANG Q. Key Technologies of ARINC664 bus testing[C]//International Conference on Instrumentation and Measurement, Computer, Communication and Control. Piscataway: IEEE, 2015: 92-97.

基于 GD32 的多信息交互模块设计

王焱雄¹ 王军雄¹ 李文番¹ 马海峰¹

WANG Yaoxiong WANG Junxiong LI Wenfan MA Haifeng

摘要

随着物联网和智能系统的快速发展,系统需要传输和分析各类设备数据,因此在研发前期需要考虑信息转换问题,需从硬件电路与软件控制方面同时进行规划设计,规划设计重复、工作量大且不利于网络扩展。针对上述问题,提出一种基于 GD32 的多信息交互模块设计方案。首先,开展硬件电路设计和器件选型,对通信接口进行规划、硬件功能进行设计。然后,进行软件功能设计,对多种类型通信进行驱动设计和通信协议制定。最后,对多信息交互模块的工作原理进行阐述。方案表明,基于 GD32 的多信息交互模块可以采集、处理和传输各种类型的信息,使设备和系统变得更加智能和高效,可以为物联网和智能系统的多种信息处理提供可靠且高效的解决方案。

关键词

物联网; 智能系统; 嵌入式; 多信息交互; 通信协议

doi: 10.3969/j.issn.1672-9528.2024.01.018

0 引言

现代社会对智能化和自动化的需求日益增长,而物联网(internet of things, IoT)和智能系统则成为实现这些需求的关键技术之一。物联网可以被定义为将各种物理设备、传感器和其他对象通过互联网连接起来,实现数据交互和通信的

网络系统。物联网的发展使得环境变得更加智能化、互联互通。通过物联网,各种设备和物品能够相互连接和沟通,从而实现自动化、智能化的操作和服务。智能系统是通过人工智能、机器学习和自动化等技术使设备、系统或软件具备智能化和自主决策能力。它们能够通过不断学习和适应环境的方式,进行自主的决策和操作。智能系统能够根据用户的需求和反馈进行智能优化和个性化服务^[1-4]。物联网和智能系统

1. 西北机电工程研究所 陕西咸阳 712099

[4] MEYER J, NOGUERA J, MICHAEL H, et al. Fast start-up for spartan-6 FPGAs using dynamic partial reconfiguration[C]// Design, Automation & Test in Europe Conference & Exhibition. Piscataway: IEEE, 2011: 1-6.

[5] IQBAL M U, KHAWAJA S G, KHAN S A, et al. Framework for dynamic partial configuration of algorithms for ZYNQ-7000 SoC using JPEG as case study[C]// 2022 2nd International Conference on Digital Futures and Transformative Technologies (ICoDT2), Rawalpindi, Pakistan. Piscataway: IEEE, 2022: 1-8.

[6] 张德民, 童庆, 刘贻静, 等. 一种基于 TMS320C6A8168 的 FPGA 动态配置方法[J]. 电子技术应用, 2016, 42(9): 4.

[7] 曹正州, 单悦尔, 张艳飞, 等. 一种分段式控制的 Flash 型 FPGA 的配置方法: CN202111582283.1[P]. 2023-08-15.

[8] 庞立鹏, 蔺旭辉, 马金龙, 等. Flash 型 FPGA 配置方法研究[J]. 电子与封装, 2022, 22(5): 16-20.

[9] 彭东立, 董勃, 程信羲. 一种 FPGA 自主可控的重配置方

法: CN202211004522.X[P]. 2023-08-15.

[10] 蔺旭辉, 马金龙, 曹振吉, 等. 一种应用于 P_Flash 型 FPGA 的配置控制电路: CN202111470362.3[P]. 2023-08-15.

【作者简介】

赵玄润(1997—), 男, 陕西西安人, 硕士, 助理工程师, 研究方向: 计算机网络。

李煜甫(1992—), 男, 陕西渭南人, 硕士, 工程师, 研究方向: 计算机网络。

张立辉(1981—), 男, 河北唐山人, 硕士, 高级工程师, 研究方向: 计算机网络。

马航航(1995—), 男, 陕西延安人, 硕士, 助理工程师, 研究方向: 计算机网络。

雷俊婷(1997—), 女, 陕西西安人, 硕士, 助理工程师, 研究方向: 计算机网络。

(收稿日期: 2023-06-27)