

一种嵌入式接口功能检测系统设计与实现

郭旭¹ 邓甜甜¹ 李文学¹ 徐彬¹
GUO Xu DENG Tiantian LI Wenxue XU Bin

摘要

目前嵌入式技术的快速发展以及日益增多的芯片应用和设计,使用前的功能检测变得尤为重要,设计了一种嵌入式接口功能检测系统,将FPGA作为主控系统,上位机应用程序通过串口接收主控发送的测试命令,通过界面设置被测芯片序号ID,然后选择对嵌入式系统各部分模块进行功能检测,判断功能模块是否达到使用要求,测试完毕后可显示测试结果,用户存储测试信息。将FPGA和电路功能检测结合起来,既提高了检测的速度,又降低了测试难度和操作复杂度。测试结果表明,系统工作性能稳定,可视化显示可快速定位故障模块,满足设计要求。

关键词

嵌入式;FPGA;自动检测;可视化

doi: 10.3969/j.issn.1672-9528.2024.01.016

0 引言

工业控制、通信和信号处理领域对嵌入式计算模块的可靠性要求越来越高,基于当前核心技术必须自主可控的形式下,一大批国产处理器芯片凭借其出色的性能和高整合度以及技术先进特性在网络通信、工业控制、网络存储领域、军工领域、电力系统控制等都已经具有非常广泛的应用^[1-3]。丰富I/O接口、高整合度和先进技术性,是理想嵌入式应用平台的基础,基于此客户无须设计复杂的外围电路进行接口功能验证以减少设计复杂程度以及物料使用。FPGA因其具有丰富硬件资源、强大并行处理能力和灵活可重配置能力被广泛应用到数据处理、通信、网络等很多领域^[4-6]。

当前集成电路制造工艺水平的不断提高和芯片设计的飞速发展,芯片内部的集成度越来越高,接口的通信速度越来越快。但同时由于芯片的故障种类和发生频次增加,以至于返厂率也越来越高。目前,主流的芯片测试方法都是通过ATE(automatic test equipment)完成的,可以实现接口的电参数测试^[7],复杂的电路对测试覆盖率要求更高,需要尽可能覆盖全接口功能。本文设计一款以FPGA作为主控平台对某国产嵌入式处理器各部分模块进行功能检测的系统。通过LCD或者上位机显示判断功能模块是否达到使用要求,结构简单、设计合理,提高了处理器使用和筛选的稳定性和有效性,为以后国产军用或民用处理器芯片实现自主可控的测试平台提供了一种思路^[8-9]。

1 系统整体设计

该嵌入式处理器包含三条标准的片上总线:处理器本地总线(PLB)、片上外围设备总线(OPB)以及一个设备控制寄存器总线(DCR)。高性能、高带宽的设备如DMA控制器挂载在PLB总线上,OPB总线用于低速数据流的设备,DCR总线用于CPU与外设之间的寄存器控制和状态的传递。处理器具备eFLASH控制器、SRAM、定时器(PIT)、看门狗(WDT)、中断控制器(INTC)、网络接口、UART接口等多种数字电路控制模块,同时包含模数转换器(ADC)及保护电路等模拟电路控制模块,在特定时钟和复位模块控制下,可面向高可靠性、高安全性系统等特定领域。采用Xilinx的XC7Z020-1CLG400C系列FPGA芯片作为检测系统主控,集成PS端单核/双核Cortex-A9 ARM+PL端Artix-7构架可编程逻辑资源^[10-11],支持USB2.0接口以及IIC、SPI等常见接口。

嵌入式接口功能检测系统的整体结构框图如图1所示。

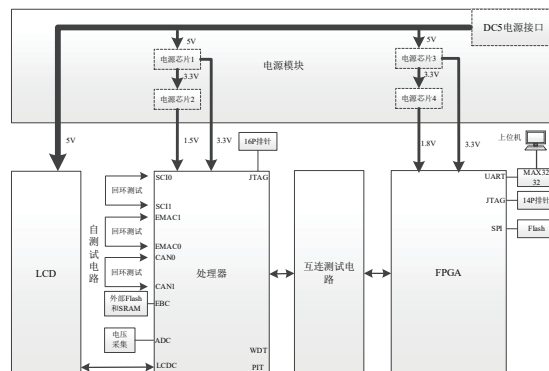


图1 嵌入式接口功能检测系统的整体结构框图

该检测系统能够准确测试出该处理器的各个模块功能是否正常,分析和统计被测对象各模块工作状态,将检测信息实时显示在测试装置 LCD 显示屏上,并通过上位机软件完成详细检测信息的收集,在特定的工作频率下,能实现对 PIT、ADC、UART、SPI、IIC、CAN、EMAC、USB、LCD 等模块功能检测。

2 硬件架构设计

2.1 电源模块设计

电源系统的稳定是保证电路板正常运行的必要条件,根据嵌入式处理器和 FPGA 的技术参数,电源 DC 接口采用 5 V 供电,通过两枚 LDO 电源芯片 TPS75533 分别产生 3.3 V 供给处理器和 FPGA,这里选择两枚 LDO 分开供电保证彼此之间互不干扰,各自同时产生的 3.3 V 电压继续驱动 LDO 电

源芯片 MAX8556,产生处理器和 FPGA 所需的内核 1.5 V 电压和驱动 1.8 V 电压。该套电源系统的设计既保证了处理器和 FPGA 彼此独立的电源供电,又符合了 3.3 V 先于 1.5 V 和 1.8 V 先上电的时序要求,以保护处理器和 FPGA。此设计的使用的 LDO 芯片的转换效率均达到 90% 以上, Micro-USB 接插件的 5 V VBUS 电压通过跳帽选择,由电源 DC 接口 (5 V) 供给,如图 2 所示。

2.2 外围互连测试电路

处理器的基础电路功能模块中的 SCI2 接口、SPI0 和 SPI1 接口、IIC0 和 IIC1 接口以及 EPORT 接口直接与 FPGA 串接, CAN (controller area network) 模块接口和 1553B(MIL-STD-1553B) 模块接口分别通过外围电路收发器 SN65HVD230 和 PM-DB2725EX 与 FPGA 进行串接设计^[12-14]。

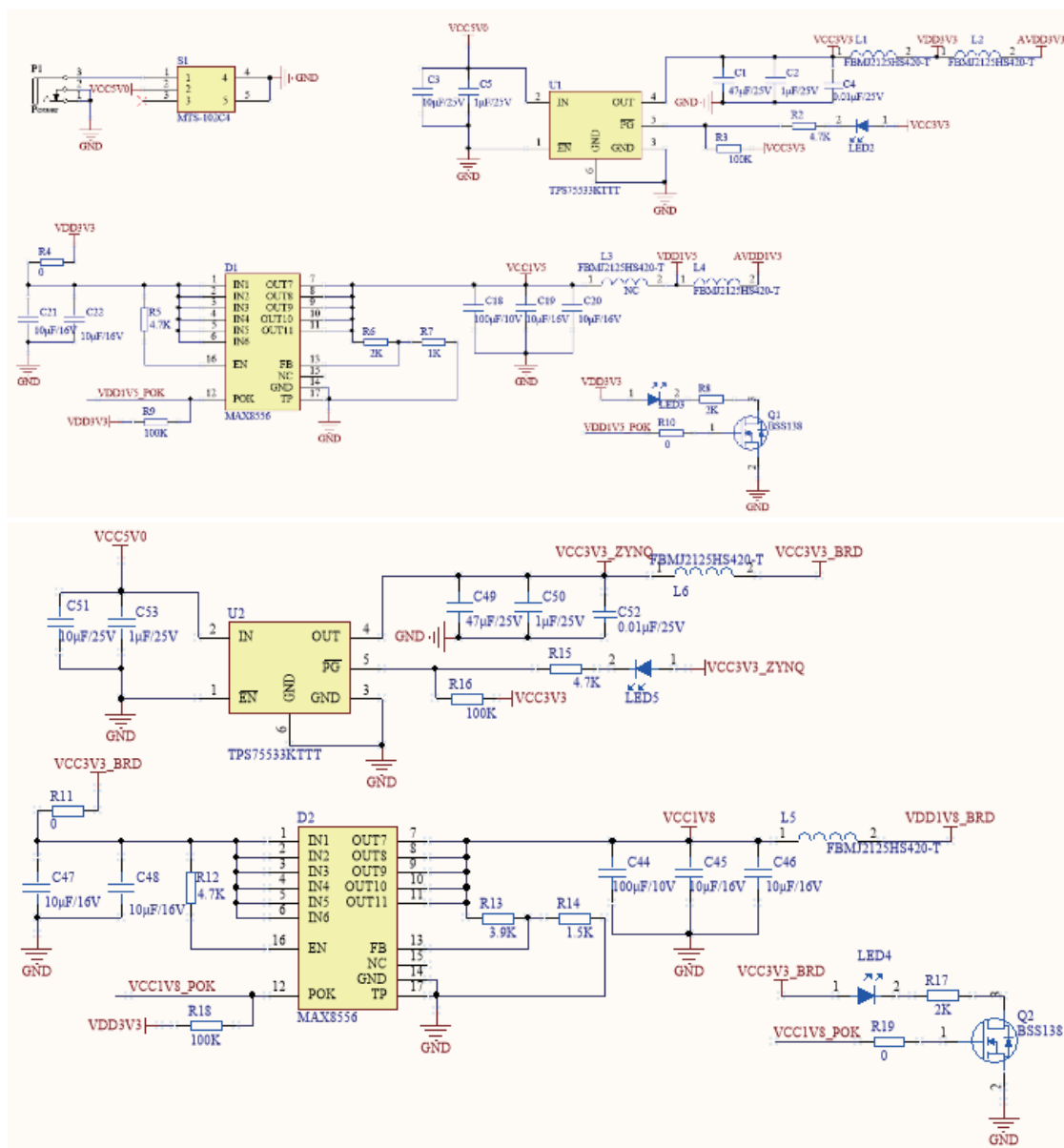


图 2 处理器和 FPGA 供电电源系统

UART是串行通信工作模块,包含了接收模块、发送模块、波特率发生模块,接收模块的串并转换电路将接收的串行数据转换成并行数据,发送模块的并串转换电路将并行数据转换成串行数据输出,波特率发生模块根据波特率寄存器的值,对总线上输入的时钟进行分频,产生16倍于波特率的时钟信号,该时钟信号提供给接收模块完成输入串行信号的采样,提供给发送模块完成输出信号的编码。SPI控制器支持处理器和外围设备间全双工、同步和串行的传输。通过软件能够查询SPI状态标志或SPI产生中断通知处理器,支持主模式和从模式。IIC总线是一种双线、双向串行总线,提供了一种简单、高效的数据交换方式适用于在许多设备间进行短距离通信的应用,灵活的IIC总线允许额外的设备连接到总线上,以便于进行扩展和系统开发。CAN总线针对抗电磁干扰进行了专门设计,适用于具有较强电磁干扰的环境,不但可以使用与RS-485类似的差分平衡传输线,也可以使用更加可靠的双绞线。1553B是一种串行多路数据总线标准,这种数据总线被用来为各种系统之间的数据和信息的交换提供媒介,支持总线控制器(BC)、远程终端(RT)和监测终端(MT),而且可配置同时支持以上三种功能或者任意功能组合。边沿端口模块(EPORT)的每个管脚都能独立配置为GPIO,也可以配置为中断输入口。中断触发类型可以为低电平、高电平上升沿或者下降沿。具有高灵活性引脚功能配置功能,可以作为通用IO或外设功能。USB模块接口支持USB2.0高速标准,支持OTG功能,使用PHY芯片USB3320C-EZK连接处理器和FPGA, ID接口引出配置,通过拨码开关选择模式,处理器和主控之间可随意转换Host和Device模式,同时接出Mini-USB接口观测数据传输情况^[15]。

2.3 外围自测试电路

处理器内部集成两路以太网控制器(EMAC),允许主机通过符合IEEE 802.3-2005标准的以太网介质发送和接受数据,EMAC接口外围通过网络变压器互连通信,其中两个变压器的RX信号和TX信号连接,互发命令帧进行检测,最大速率100 Mbps。另外两路CAN接口通过外围收发器SN65HVD230互连测试,两路IIC接口互连通信。

处理器的OPB总线上的外部总线控制器(EBC)在片上外设总线和外部存储器或连接到外部外设总线的外围设备之间传输数据。EBC提供直接连接存储设备,如ROM和SRAM以及直接内存访问(DMA)设备间隔存储设备,为外设或者外部存储器提供8、16、32位并行总线的能力,可以为ROM、SRAM或device-paced型的内存传输进行编程。这里EBC0和EBC1分别外挂16位和8位NorFlash, EBC2和EBC3分别外挂两片16位SRAM,组成32位外部存储器。

处理器内集成一个ADC(analog-to-digital converter,

ADC)模块,是一种能够将连续的模拟电压信号转换为离散数字量的外设,具有12位转换分辨率、16个输入通道。ADC模块测试采用分压输入,16通道分别采集不同电压值,通过判断采集到的电压值对ADC模块进行检测。ADC模块内置16位数字比较器功能,采样转换结果可移交给数字比较器模块,每路数字比较器均可将ADC转换结果数值与两个用户定义的门限值进行比较,确定信号的工作范围。

2.4 FPGA 电路部分

基于Xilinx的XC7Z020-1CLG400C系列FPGA芯片,将ARM处理器和FPGA架构紧密集成,拥有两颗ARM Cortex-A9核组成的处理器核心部分(PS),以及一颗Xilinx7系列FPGA核心Artix-7所构成的可编程逻辑部分(PL)。支持USB 2.0、SDIO、千兆网等多种高速接口,同时支持I2C、SPI等常见接口。

2.5 上位机及LCD显示

上位机通过外部转换芯片MAX3232E与FPGA的UART信号相连同时引出DB9接口,用于FPGA输出打印通信。LCD显示通过标准40pinFPC连接4.3寸液晶屏,用于测试结果显示。通过上位机应用程序接受主控FPGA芯片发送的测试命令,直接通过测试程序和窗口选择处理器某个模块或者进行自动测试,测试完毕后可通过LCD或者上位机显示测试结果,存储测试信息。根据以上设计思路,测试系统硬件PCB布局如图3所示。

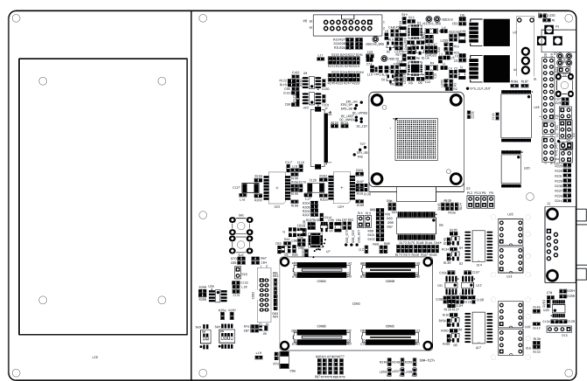


图3 测试系统硬件PCB布局

3 软件架构设计与实现

软件部分主要包括上位机数据处理软件和嵌入式检测应用程序,PC端采用自主设计测试软件程序发送测试数据同时接收主控发送的测试命令,用户可以直接通过界面输入测试人员姓名、被测芯片序号ID和测试日期,然后选择测试某个模块或者进行自动测试,测试完毕上位机显示测试结果,用户存储测试信息。

上电完成后,FPGA接受按键或者串口测试命令开始进行处理器测试。测试流程如图4所示。

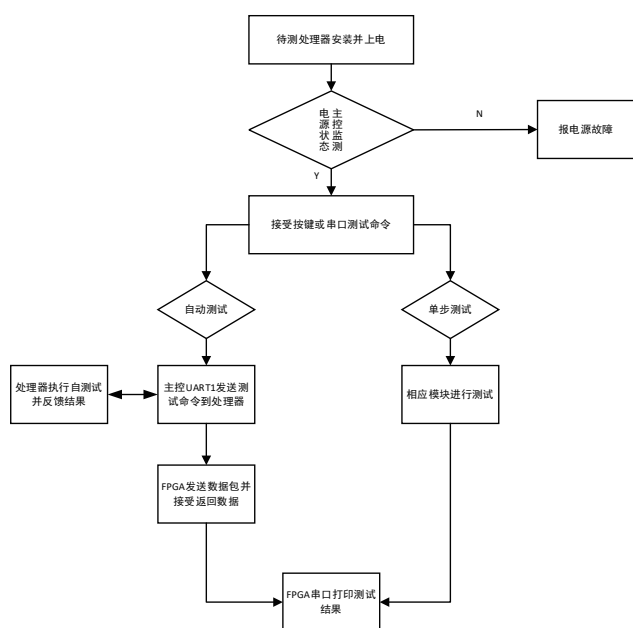


图4 测试流程图

上位机软件通过 SCI2 串口发送测试模块指令 0xXY (0x00、0x01、0x02、0x10、0x11、0x12、0x20、0x21、0x30、0x31、0x40、0x50、0x51、0x60、0x70、0x80、0x90、0xA0、0xB0、0xC0、0xD0) 到 FPGA 的 UART，其中 X 表示不同模块号，Y 表示同模块编号，例如 0x00~0x02 代表处理器的 SCI 模块，0x10~0x12 代表处理器的 CAN 模块，0xA0 代表处理器的 NorFlash 模块，自动测试为遍历测试所有模块。FPGA 收到指令开始正常功能测试，通过 UART 发送测试指令 0xABCD 到处理器的 SCI2，其中 A 表示不同模块号，B 表示同模块编号，C 写入 0 表示自测试，写入 1 表示与 FPGA 通信测试，D 表示测试功能编号，例如：指令 0x0000 和 0x1000 代表 SCI 模块自测试，0x1000 和 0x1100 代表 CAN 模块自测试，0x1210 代表 CAN 模块与主控 FPGA 互测试。

自测试模块包括：SCI0 和 SCI1 相互通信测试、CAN0 和 CAN1 相互通信测试、定时器测试、SRAM 和 NorFlash 读写测试、ADC 测试、EMAC0 和 EMAC1 相互通信测试，处理器完成自测试，SCI 返回测试结果并同时 LCD 显示测试结果，其中部分测试流程说明如下。

SCI 模块测试流程：SCI2 中断接收 UART 测试指令开始测试，SCI0 (SCI1) 发送数据，SCI1 (SCI0) 接收数据并把数据发送回 SCI0 (SCI1)，SCI0 (SCI1) 收到数据与发送的数据对比，相同则表示测试 Pass 发送返回值为 0x0011 (0x0111)，不同则表示测试 Fail 返回值为 0x0022 (0x0122)。

PIT 测试流程：SCI2 中断接收 UART 测试指令开始测试，中断初始化，打开 PIT 中断。依次初始化 PIT0 到 PIT7 开始

计数，判断计数是否都正常，正常则表示测试 Pass，SCI2 发送测试值为 0x8011，有计数错误则表示测试 Fail，SCI2 发送测试值为 0x8022。

SRAM 测试流程：SCI2 中断接收 UART 测试指令开始测试，32 位 SRAM Bank2 开始读写操作，然后判断 Bank2 读写是否正确。正确则表示测试 Pass，SCI2 发送测试值为 0x9011，不正确则表示测试 Fail，SCI2 发送测试值为 0x9022。

Norflash 测试流程：SCI2 中断接收 UART 测试指令开始测试，外接 16 位 Norflash Bank0 开始读写操作；外接 8 位 Norflash Bank1 开始读写操作。然后判断 Bank0 和 Bank1 读写是否正确，正确则表示测试 Pass，SCI2 发送测试值为 0xA011；不正确则表示测试 Fail，SCI2 发送测试值为 0xA022。

ADC 测试流程：SCI2 中断接收串口测试指令开始测试，ADC 初始化开始采样，采样结果对比分析，计算采样偏差，判断采样偏差是否在范围内，在范围内则表示测试 Pass，SCI2 发送测试值为 0xB011；超出范围则表示测试 Fail，SCI2 发送测试值为 0xB022。

与主控 FPGA 相互通信测试模块包括：USB 与主控互通测试、SPI0 和 SPI1 分别与主控互通测试、SCI2 与主控互通测试、IIC0 和 IIC1 与主控互通测试、1553B 与主控互通测试、CAN2 与主控互通测试和 EPORT 与主控互通测试。其中部分测试流程如下。

USB 与主控互通测试流程：SCI2 中断接收串口测试指令开始测试，USB 作 Host 初始化开始测试，判断 VBUS 电压值大小，当大于 4.4 V 时则判断枚举是否正常，正常则写入数据到 FPGA，并读取数据判断数据是否相同；如果 VBUS 电压小于 4.4 V 或者枚举失败或者读取数据错误，均可判断测试 Fail。枚举成功后读取数据相同则表示测试 Pass，返回值为 0x7011，若读取数据不相同则表示测试 Fail，返回值为 0x7022。

SPI 与主控互通测试流程：SPI 初始化工作模式为 MODE3，SPI0 (SPI1) 发送数据到 FPGA，FPGA 转发数据到处理器的 SPI0 (SPI1)，SPI0 (SPI1) 接收到的数据对比，相同则表示测试 Pass，返回值为 0x2011 (0x2111)，不同则表示测试 Fail，返回值为 0x2022 (0x2122)。

EPORT 与主控互通测试流程：SCI2 中断接收串口测试指令开始测试，EPORT 配置为输出模式，输出 0xaa (高电平) 到主控，延时 100 μs；输出 0x55 (低电平) 到主控，延时 100 μs；EPORT 配置为输入模式，主控将接收的数据转发给 EPORT，每个数据延时 100 μs，对比输入输出数据是否相同。相同则 SCI2 发送结果值为 0x4011，表示测试 Pass；不同则 SCI2 发送测试结果值为 0x4022，测试不通过。

4 测试结果

在搭建完成整个测试系统之后,首先放入待测处理器上电后打开自行设计测试软件,选择通信端口,确认串口打开,进行 SCI2 测试,确认软件与 FPGA 连接状态,发送输入测试时间和处理器 ID 到 FPGA,进行自动测试,测试结束会提示自测试命令发送完成。然后进行 FPGA 测试,测试结束会提示测试命令发送完成,自测试和主控测试顺序可更换。最后,测试结束确认 LCD 显示内容是否正确,并选择 LCD 测试结果,测试结束显示结果“PASS”或“FAIL+失败模块”,图 5 和图 6 分别表示上位机测试界面和测试系统平台测试案例演示。

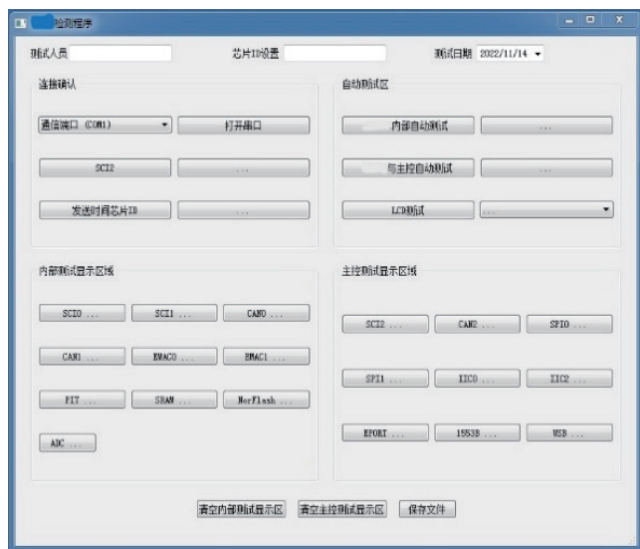


图 5 上位机测试界面

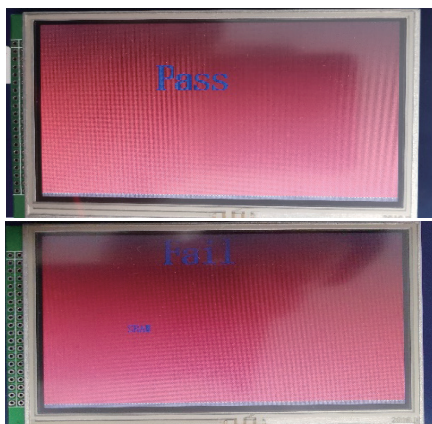


图 6 测试系统平台 LCD 显示成功与失败演示

5 结论

文中设计了一种嵌入式接口功能检测系统,包括整体设计、硬件架构设计、软件设计与实现、测试结果四个方面,其中 FPGA 作为主控负责与处理器的各个接口连接通信,模块化设计便于系统的可维护性,软件界面操作简单友好、稳定性高。本测试系统的多种接口具有通用性和开放性,也可

以面向其他国产处理器架构的功能检测应用,只需要对测试对象外围接口设计和上位机程序进行修改即可满足要求,可根据实际待测处理器的需求进行 I/O 接口类型的增减,具有一定的灵活性和推广性。

参考文献:

- [1] 边庆,白晨,田征戈.基于 P2010 处理器的嵌入式系统硬件平台设计[J].信息技术与信息化,2022(4):163-166.
- [2] 杨珂瑶,颜丰琳.一种基于 PowerPC 架构性能监测方法[J].信息技术与信息化,2021(8):107-109.
- [3] 杨露,张荣,张梅娟,等.基于 PowerPC 架构的二级启动设计[J].电子与封装,2020,20(3):39-42.
- [4] 陶小凤,徐建,邱达.基于 FPGA 的可见光通信电路的设计与实现[J].信息技术与信息化,2019(12):129-131.
- [5] 吴立丰,靳英策,郑宏斌.基于 FPGA 的高速光通信测试系统设计[J].电子设计工程,2021,29(16):126-130.
- [6] 钱宏文,付强,杨文豪.基于 FPGA 的集成式测试系统的设计与实现[J].电子设计工程,2021,29(5):75-79.
- [7] 孙宇凯,刘鹏,王君从,等.浅析 ATE 的 TMU 和参数扫描测试方法[J].中国集成电路,2022,31(6):85-89.
- [8] 侯庆庆,刘凯,李文学.一种 CPU 芯片功能自动测试平台的设计[J].电子与封装,2021,21(11):12-16.
- [9] 田晓波,唐琰,于水游.一种 CPU 模块的测试设计[J].光电技术应用,2021,36(2):50-55.
- [10] 曾海军,郑伦,顾其丰,等.基于 ARM CORTEX A9 的智能读写器的设计及应用[J].电子元器件与信息技术,2021,5(1):38-40.
- [11] 孙巍,吕勇,马士全.基于 Artix-7 系列的 eMMC 阵列控制器设计与实现[J].数据采集与处理,2020,35(40):771-780.
- [12] 张世兵,苗克坚.基于 1553B 总线的 BU-61580 芯片测试系统的设计与实现[J].电子设计工程,2013,21(3):85-89.
- [13] 孟博洋,武方达,郭浩.多功能列车车辆总线通信网关研究[J].电子设计工程,2022,30(4):79-82+87.
- [14] 白晨,边庆.基于 CAN 总线的 PowerPC 微控制器启动加载程序设计[J].信息技术与信息化,2022(6):51-54.
- [15] 曹杨,戴鑫.基于 FPGA 的 USB2.0 接口电路多功能测试系统[J].电子设计工程,2020,28(9):27-36.

【作者简介】

郭旭(1987—),男,河南商丘人,硕士研究生,工程师,研究方向:国产处理器硬件设计。

(收稿日期:2023-08-13)