

基于 AD9959 的雷达中频信号源工程实现

杨 林¹
YANG Lin

摘 要

文章设计了一种基于 FPGA（现场可编程门阵列）芯片和 DDS（直接数字频率合成器）芯片的中频信号源设计方案,通过触摸控制屏、程控衰减器和放大器相结合的方法,满足某雷达在模块、分机测试的需要。该方案以四路直接数字频率合成器为核心,合理设计 FPGA 程序,对程控衰减器、放大器和滤波器等进行合理调用,最终获得频率为 120 MHz 的中频信号。为适应雷达测试的功率范围,该方案还采用了相同的两级衰减控制模块、两级滤波模块和一级放大器模块的设计思路,并将衰减范围控制在 -72~12 dBm,实现了良好的谐波抑制和降噪。

关键词

FPGA; DDS; AD9959; 程控衰减器; 雷达; 信号源

doi: 10.3969/j.issn.1672-9528.2025.05.024

0 引言

中频信号源广泛用于通信、雷达与导航系统等领域。在通信工程中,中频信号源用于信号传输和接收设备的测试,通过模拟不同的信号环境,评估设备的传输质量和接收灵敏度。此外,中频信号源在雷达和导航系统的研发和测试中也发挥着重要作用,通过模拟雷达回波和导航信号,验证系统的准确性和可靠性。在雷达中频接收机或其内部各模块进行指标测试过程中,经常需要用到中频信号源。要求中频信号源具有不同的频率和功率等参数输出。普通信号源(仪表)体积较大,重量较重,不便于携带。为此,设计一套便携式且参数可自由设置的中频信号源在内外场测试和设备检修时具有很强的实用性和现实意义。

1 总体设计

该中频信号源主要组成和原理框图如图 1 所示。触摸控制屏模块通过串口通信方式向 FPGA 发送指令数据,同时,FPGA 可以将内部程序执行后的标志信号通过串口发送反馈给触摸控制屏,屏幕进行指令解析后,将当前工作状态予以显示^[1]。FPGA 模块在收到不同指令后执行相应的程序对 DDS 信号产生模块的内部寄存器进行配置,从而产生所需要的中频信号。程控衰减器模块通过 FPGA 发送的衰减码对 DDS 模块产生的中频信号进行相应衰减控制输出^[2]。放大器模块用来对中频信号进行功率放大。滤波模块对输出信号进行带通滤波。该设计采用相同的两级衰减控制模块、两级滤波模块和一级放大器模块,满足了较大范围内的功率输出要求。

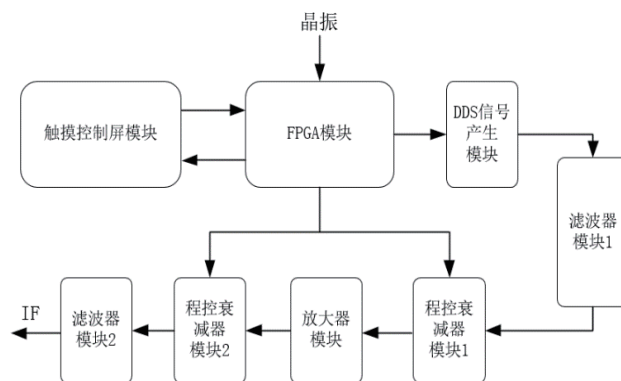


图 1 中频信号源原理框图

2 硬件设计

2.1 触摸控制屏模块

触摸控制屏模块采用陶晶驰工业级电容触摸屏,型号 TJC1060X570_011C_I,基于 ARM9 芯片,频率为 200 MHz,无操作系统,无需清理缓存,极速启动,稳定运行 365×24 h,上电立即使用,不断电工作,无垃圾冗余文件,背光模式为 LED,分辨率 1 024 px×600 px。数十种功能控件,UI 支持全世界语言显示,支持自定义协议,字库支持 ASCII、GB2312、UTF8 等常用字库,串口波特率 2 400~921 600 bit/s。专业的人机交互设计软件 USART HMI 简洁、友好、易用,上位机集成模拟器功能,无需串口屏连接实物也可完成调试。本设计中用到的文本控件、数字控件和变量较少,发送和接收的数据量少,只需要触摸不同的控件发送几个字节的数据便可供 FPAG 程序识别。触摸屏硬件配置图如图 2 所示。

1. 中国电子科技集团公司第二十研究所 陕西西安 710068

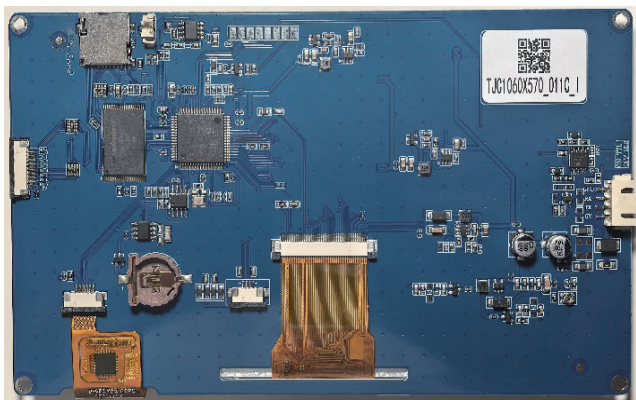


图2 触摸屏硬件配置图

2.2 FPGA 与 DDS 模块

FPGA 与 DDS 模块连接框图如图 3 所示。

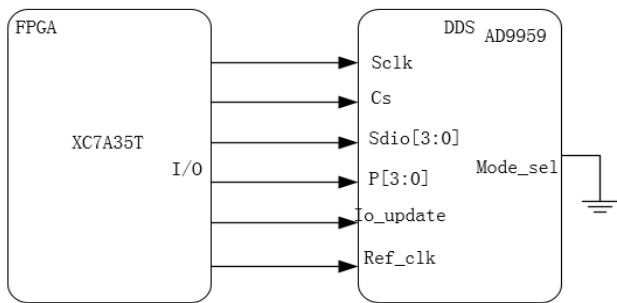


图3 FPGA 与 DDS 模块连接框图

FPGA 采用 Xilinx（赛灵思）公司的 XC7A35T，FGG484 封装。该芯片等级为工业级，速度等级为 -2，逻辑单元 Logic cells 101 440 个，最大用户 IO 口 285 个，时钟单元 CMTs 6 个，每个 CMT 内含一个 MMCM 和一个 PLL，Block RAM 为 1 800 kB。本设计中 FPGA 主要用于对 DDS 进行配置和产生程控衰减码以及收发串口指令。该芯片丰富的资源量能满足本设计的使用，且具有较强的可靠性。

DDS 芯片采用 ADI 公司推出的四路直接数字频率合成器件 AD9959，LFCSP 封装。系统时钟高达 500 MHz，输出最高正弦波频率达 200 MHz。AD9959 内部集成了倍频时钟单元（最高可实现 20 倍时钟频率）。其串行 I/O 端口提供多种配置方式，允许串行 I/O 操作的四种可编程模式。此外，还可以进行 FSK、PSK、ASK 的 16 级调制，还支持频率、幅度、

相位的线性扫描，适用于雷达和仪器仪表等应用^[3]。DDS 性能稳定，使用灵活，能产生各种中低频信号。AD9959 内部集成了 4 个 DDS 核，因此可对 4 个内部同步输出通道独立进行编程。通过一个公用系统时钟在芯片内部同步其独立的通道，AD9959 可以对由于模拟处理（例如滤波、放大）或者 PCB 布线失配而产生的外部信号通道的不均衡进行有效的校正。AD9959 的内部原理如图 4 所示。

由时序与控制逻辑电路、模数转换器、数据寄存器、相位累加器、相位寄存器、多路选择器和 SPI 串行通信接口控制器等组成。图中 CS 为芯片的片选信号输入端，高电平有效。SDIO_0~SDIO_3 为双向引脚，用于串行操作的数据输入和输出。SCLK 为 I/O 串行操作时钟输入端，在该端的上升沿写入数据，下降沿读出数据。IOUT 为输出引脚，4 个通道各有一个互补输出端，使用时需接高拉电阻至电源^[4]。

FPGA 可在线编程，器件规模大，成本逐渐降低，使用广泛，将 FPGA 芯片和 DDS 芯片进行有机结合，合理划分其实现的功能，即可设计实现小型化的多功能信号产生器^[5]。本设计中用到一路输出，内部寄存器配置较为简单。具体配置方法可参考器件手册。

2.3 程控衰减器模块

本设计中使用到两个相同的程控衰减器模块，单个模块内主要采用的是 ADI 公司推出的 HMC624A，LFCSP 封装。HMC624A 是一款 6 位数字衰减器，以 0.5 dB 步长提供 31.5 dB 的衰减控制范围。在 100 MHz~6.0 GHz 的指定

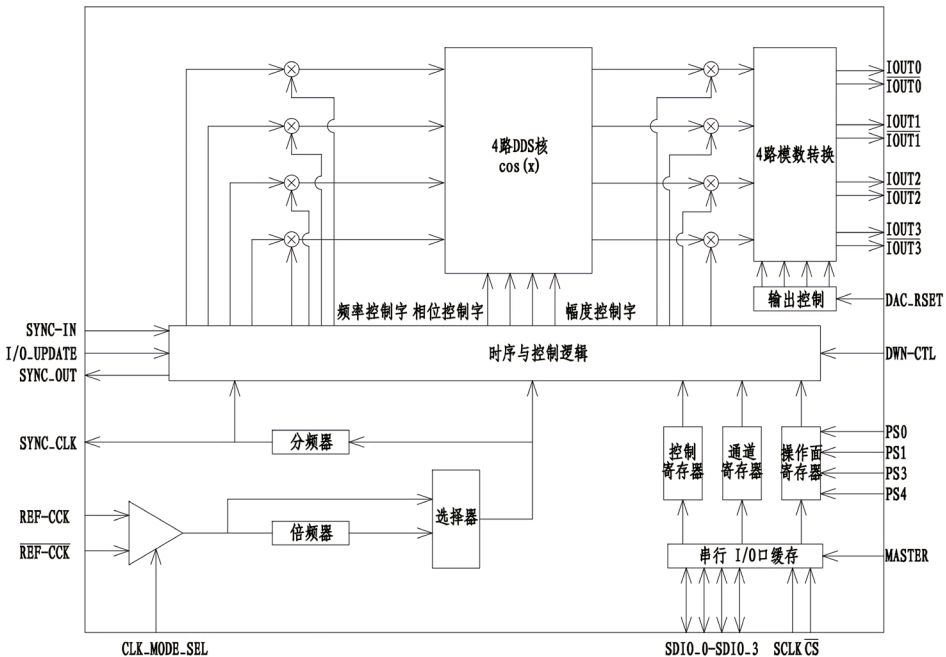


图4 AD9959 内部原理图

频率范围内提供出色的衰减精度和高输入线性度。该数字衰减器具有外部交流接地电容,可将工作频率扩展至低于 100 MHz。通过 FPGA 输出相应的控制电平使两个程控衰减模块理论衰减范围 0~63 dB。

2.4 放大器模块和滤波模块

放大器芯片选用 ADL5536, SOT-89 封装。该芯片具有良好的线性度和噪声指数性能,且内部匹配中频增益模块,提供了较高的动态范围,可以覆盖 20 MHz~1 000 MHz 频率范围,在整个 1 GHz 频率范围内提供极低的噪声系数。电路中为保证其正常工作需要外接输入/输出交流耦合电容、电源去耦电容和一个外部电感。该型号的放大器主要作为中频增益模块放大器,在宽频率范围内,均能实现 20 dB 的增益放大,满足本方案中的性能需求。

滤波器芯片选用 BPF-A120+, 该带通滤波器可以选择性地放大特定频率范围内的信号,具有良好的 VSWR, 通带时典型值为 1.6:1, 适用于模拟信号的谐波抑制和降噪, 该型号的滤波器频率范围在 100 MHz~140 MHz 之间, 满足本方案中 DDS 芯片输出信号频率的要求。

3 软件设计

3.1 触摸屏控制指令发送与接收数据解析

使用陶晶驰官方推荐的界面编辑软件 USART HMI 和 CP2102 串口小板进行程序下载和供电。编程语言为官方脚本语言。通过串口调试助手可以验证触控发出的指令数据是否正确。通过自定义与 FPGA 能识别的数据协议,使屏幕在触摸不同控件的时候发出不同的指令数据至串口。在默认情况下,屏接收到 FPGA 发送数据后,将屏幕设置为 recmod=1,屏将进入主动解析模式,所有串口指令存放到串口缓冲区,运用定时器控件解析数据,定时器最快解析数据时间为 50 ms。本设计中触控控件配置名称为 120 MHz,点击该控件,发送数据为 0X5501FF,55 为帧头,01 为数据,FF 为帧尾。接收到相同的数据并点亮该控件为绿色,表示 FPGA 对 DDS 配置成功。

3.2 FPGA 程序

该程序包括 3 个子功能模块和 1 个顶层模块,用 Verilog 语言编写,开发环境为 Vivado2018.3,综合工具和仿真工具均为 Vivado 自带工具^[6]。3 个子功能模块分别是串口收发程序、DDS 配置程序和程控衰减控制程序。VerilogHDL 程序设计参考文献^[7]。

串口收发程序包括两个部分:一是数据接收程序,即将输入的串行数据转为并行,给后级 DDS 配置程序或程控衰减器控制程序使用。二是数据发送程序,即将判断 DDS 配置程

序或程控衰减控制程序运行状态的并行数据转为串行,通过串口线发送给屏^[8]。该子功能模块综合后的 RTL (寄存器传输逻辑)视图如图 5 所示。通过串口调试助手实现了数据回环实验,证明发送和接收多字节数据的正确性^[9]。

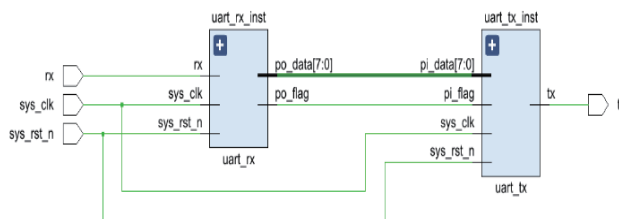


图 5 串口收发模块 RTL 视图

对 DDS 的操作主要是由 FPGA 向 AD9959 发送命令,从而输出相应的信号,对于 AD9959 的控制主要是通过串行总线 Sclk 和 SDIO 来实现的,其中 SCLK 的最大时钟速度可以达到 200 MHz。串行工作模式都工作在寄存器级传输,而不是字节级传输,其提供的 SYNC_I/O 功能可以中断 I/O 操作,这种模式可以对寄存器的某个字节进行设置,从而减少了设置时间。数据在 Sclk 上升沿写入 DDS 寄存器,按照时序图先写入 DDS 寄存器的地址,再写入寄存器的数据,即完成 INSTRUCTION CYCLE 和 DATA TRANSFER CYCLE。然后再拉高 Io_update,用上升沿触发 DDS 的寄存器控制字工作。当 Serial I/O Mode Select (CSR[2:1]) 设置为 11 操作模式时,AD9959 支持 4-bit serial mode,可以实现更快的配置速率。频率控制值的计算公式为:

$$f_{\text{out}} = F \times \frac{f_s}{2^{32}} \quad (1)$$

式中: f_s 为系统时钟速率,最高为 500 MHz; F 为频率调谐值。

由式(1)可知,当系统时钟为 500 MHz 时,频率分辨率可达 0.116 4 Hz。DDS 配置程序即 AD9959 配置采用串行配置方式,其配置时序图如图 6 所示。

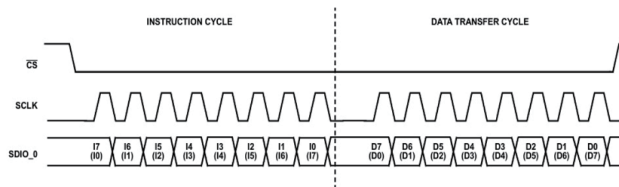


图 6 DDS 配置时序图

程控衰减控制程序用来实现两个程控衰减模块所需要的 12 位(每个模块使用 6 位)的衰减控制码,默认输出“1”,即衰减 63 dB。通过屏幕上控件“+”或“-”控制该程序输出相应的衰减控制码,实现对 DDS 输出信号的功率调整。

顶层模块程序调用上述 3 个子功能模块程序,综合实现各部分功能。

4 测试结果

通过 Vivado 软件将固化后的 MCS 文件下载到 Flash 中, 触摸屏控件 120 MHz, 用示波器 TDS3052 测试程控衰减器 2 的输出信号的波形, 正弦信号稳定可靠, 频率为 120 MHz。测试结果如图 7 所示。

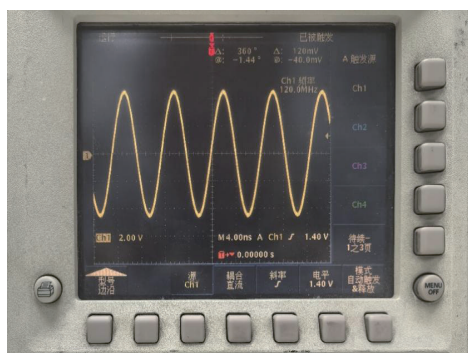


图 7 120 MHz 正弦信号波形图

用频谱仪 N9918A 对输出信号的频谱进行测试, 实测 120 MHz 最小值为 -72 dBm, 最大值为 12 dBm, 测试结果如图 8~9 所示。

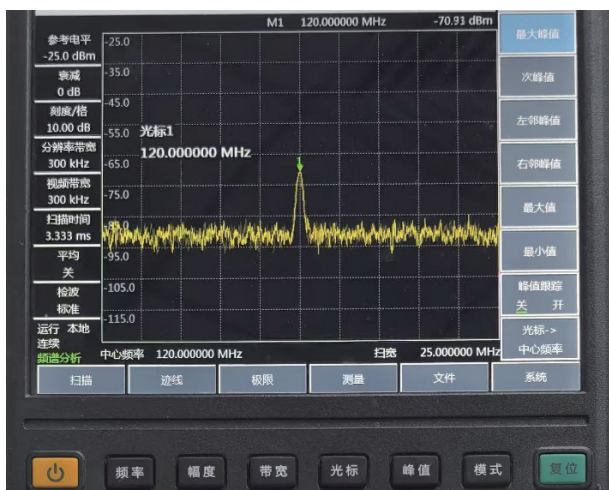


图 8 120 MHz 正弦信号频谱图 1

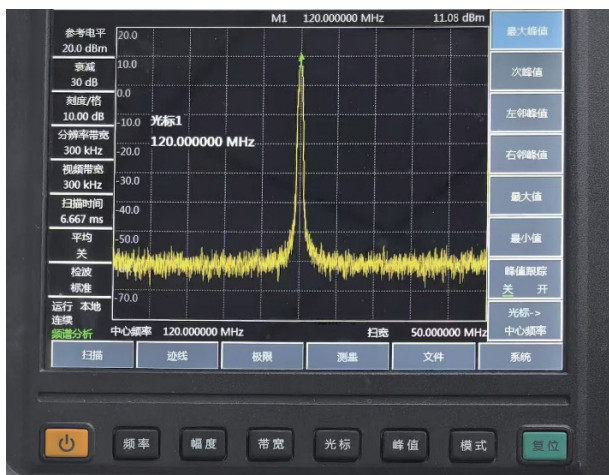


图 9 120 MHz 正弦信号频谱图 2

5 结语

本文提出了一种中频信号源的工程实现, 进行了模块化设计, 并对各模块软硬件研究了实现方法, 最后进行了实测, 满足了某雷达中频接收机对输入信号的测试要求。使用可灵活配置的多通道 DDS 器件, 搭配后级的多路放大和衰减模块使用可实现多功能、多通道的信号产生器^[10], 可缓解仪表紧缺的问题。同时, 使用功能强大, 资源丰富的 FPGA 器件, 可通过软件更新的方式, 再次进行开发、升级, 以满足不同被测设备对输入信号的要求。随着科技的发展, 中频信号源将继续向更高精度、更宽频率范围和更多功能的方向发展。

参考文献:

- [1] 王海滨, 申连洋. 基于 AD9959 的多体制雷达信号源的设计 [J]. 现代电子技术, 2007(19):107-109.
- [2] 杨坤, 王志斌. 基于 FPGA 的数字程控中频放大电路设计 [J]. 国外电子测量技术, 2020,39(2):111-117.
- [3] 沈冰, 杨艺敏. 基于 AD9959 谐波信号发生器的设计 [J]. 装备制造技术, 2023(5):149-152.
- [4] 张宏铭. 基于 AD9959 的雷达频率合成器的设计 [J]. 软件, 2014,35(4):141-142.
- [5] 郑黄婷, 赖万昌, 毛伟. 基于 FPGA 的 DDS 波形信号发生器的设计 [J]. 电子设计工程, 2012,20(24):153-154.
- [6] 戴泰初, 阙沛文. 基于 FPGA 的数字逻辑器件开发及优化设计 [J]. 微电子学, 2002(5):397-400.
- [7] 袁本荣, 刘万春, 贾云得, 等. 用 Verilog HDL 进行 FPGA 设计的一些基本方法 [J]. 微计算机信息, 2004(6):93-94.
- [8] 刘博. 基于 FPGA 的 UART 模块设计与实现 [J]. 无线电工程, 2018,48(5):433-438.
- [9] 刘宝军, 王中训, 姜阳, 等. 基于 FPGA 的 UART 设计与实现 [J]. 中国集成电路, 2016,25(6):38-41.
- [10] 孙永亮, 张忠友. 基于 DDS 技术的多路同步信号源的设计 [J]. 现代电子技术, 2009,32(5): 20-22.

【作者简介】

杨林(1987—), 男, 湖南岳阳人, 本科, 工程师, 研究方向: 电路与信号处理。

(收稿日期: 2025-01-08 修回日期: 2025-05-14)